

Министерство образования Республики Беларусь  
Учреждение образования  
«Полоцкий государственный университет»

**ИНФОРМАЦИОННО-КОММУНИКАЦИОННЫЕ ТЕХНОЛОГИИ:  
ДОСТИЖЕНИЯ, ПРОБЛЕМЫ, ИННОВАЦИИ  
(ИКТ-2018)**

Электронный сборник статей

I Международной научно-практической конференции,  
посвященной 50-летию Полоцкого государственного университета

(Новополоцк, 14–15 июня 2018 г.)

Новополоцк  
Полоцкий государственный университет  
2018

**Информационно-коммуникационные технологии: достижения, проблемы, инновации (ИКТ-2018)** [Электронный ресурс] : электронный сборник статей I международной научно-практической конференции, посвященной 50-летию Полоцкого государственного университета, Новополоцк, 14–15 июня 2018 г. / Полоцкий государственный университет. – Новополоцк, 2018. – 1 электрон. опт. диск (CD-ROM).

Представлены результаты новейших научных исследований, в области информационно-коммуникационных и интернет-технологий, а именно: методы и технологии математического и имитационного моделирования систем; автоматизация и управление производственными процессами; программная инженерия; тестирование и верификация программ; обработка сигналов, изображений и видео; защита информации и технологии информационной безопасности; электронный маркетинг; проблемы и инновационные технологии подготовки специалистов в данной области.

*Сборник включен в Государственный регистр информационного ресурса. Регистрационное свидетельство № 3201815009 от 28.03.2018.*

Компьютерный дизайн М. Э. Дистанова.

Технические редакторы: Т. А. Дарьянова, О. П. Михайлова.

Компьютерная верстка Д. М. Севастьяновой.

211440, ул. Блохина, 29, г. Новополоцк, Беларусь  
тел. 8 (0214) 53-21-23, e-mail: irina.psu@gmail.com

УДК 621.397.63

**РАЗРАБОТКА ЭЛЕКТРИЧЕСКОЙ ПРИНЦИПИАЛЬНОЙ СХЕМЫ  
ВХОДНОГО ИНТЕРФЕЙСА ВИДЕОКОНТРОЛЛЕРА НА ПЛИС SPARTAN-6 ФИРМЫ XILINX**

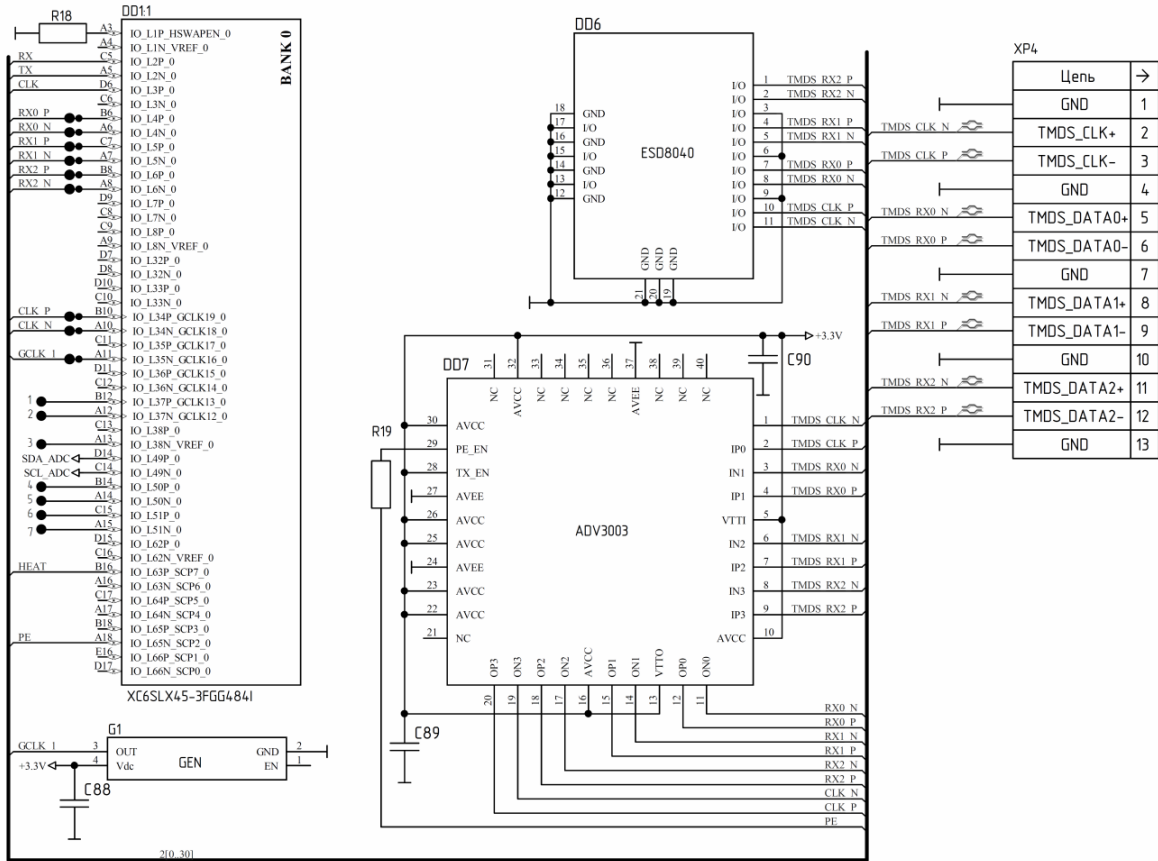
**инженер-конструктор Д.В. ЧИСТОБАЕВ**  
**(Конструкторское бюро «Дисплей», Витебск, Беларусь)**

В настоящее время в видеотехнике остаются популярными видеоинтерфейсы DVI и HDMI, использующие дифференциальные линии TMDS. Для преобразования интерфейсов DVI и HDMI в формат микродисплейных модулей и ЖК-матриц используются десериалайзеры. Десериалайзер может быть реализован в виде отдельного корпуса микросхемы, что часто используется в видеоконтроллерах. В программируемой логической интегральной схеме (ПЛИС) семейства Spartan-6 фирмы Xilinx имеются встроенные модули для работы с дифференциальными сигналами TMDS, что существенно упрощает проектирование видеоконтроллера. TMDS (Transition Minimized Differential Signaling) – дифференциальный сигнал с минимизированными переходами. Такой сигнал лежит в основе видеоинтерфейсов DVI (Digital Visual Interface) – цифровой видеоинтерфейс и HDMI (High Definition Multimedia Interface) – мультимедийный интерфейс высокой четкости.

Интерфейсы DVI и HDMI состоит из четырех TMDS дифференциальных пар. Одна дифференциальная пара используется для передачи тактовых импульсов с пиксельной частотой, остальные три используются для передачи цветовой информации RGB, кадровых и строчных синхронизирующих сигналов. Минимизация переходов через ноль достигается путем использования кодера 8В/10В на каждом из трех RGB каналов. Работа этого кодера заключается в преобразования 8-битных видеоданных в 10-битный код с симметричной последовательностью. Такой алгоритм кодирования обеспечивает надежное восстановление тактовых сигналов и данных в приемнике, снижает уровень помех между электронными устройствами, а также обеспечивает баланс постоянного тока на последовательной линии связи, повышая помехоустойчивость в линиях связи [1, 2].

Для микродисплейных модулей и ЖК-матриц разрешением не более 1280×1024 60Гц можно реализовать преобразование сигнала TMDS с помощью встроенных модулей ПЛИС Spartan-6 фирмы Xilinx [3].

На рисунке представлена электрическая принципиальная схема входных цепей видеоконтроллера. На схеме показаны BANK0 ПЛИС Spartan-6 XC6LX45 – DD1.1, микросхемы защиты DD6 и предварительной обработки TMDS видеосигнала DD7. Цепи питания и выходные цепи ПЛИС на схеме не показаны. На разъем XP4 подается видеосигнал TMDS. Микросхема DD6 – ESD8940 предназначена для защиты входных цепей видеоконтроллера от воздействия внешнего статического напряжения соответствующего стандартам IEC 61000–4–2 Contact (ESD), IEC 61000–4–2 Air (ESD) ±15кВ. При трассировке печатной платы DD6 монтируется над проходящими дифференциальными парами цепей TMDS как можно ближе к входному разъему XP4. После прохождения защитной микросхемы сигнал TMDS поступает на микросхему эквалайзера ADV3003 – DD7.



**Рисунок. – Электрическая принципиальная схема подключения ПЛИС фирмы Xilinx Spartan-6 к внешнему источнику TMD5 видеосигнала Топологическая карта фонамы «а»**

Микросхема DD7 обеспечивает усиление сигнала после затухания в подключающем кабеле. Микросхема может работать в двух режимах – повторения или усиления сигнала на 6dB. Режимы выбираются логическим сигналом на выводе PE\_EN. Также микросхема DD7 содержит на сигнальных дифференциальных входах и выходах нагрузочные резисторы 50 Ом, которые должны быть включены подачей логической “1” на вывод TX\_EN. Далее сигнал TMD5 поступает в BANK0 ПЛИС Spartan-6 – DD1.1. В ПЛИС имеются встроенные дифференциальные интерфейсы TMD5, которые нужно сконфигурировать в UCF файле при программировании следующим образом:

```

NET "RX0_TMD5(3)" LOC = "B10" | IOSTANDARD = TMDS_33 ; # CLK
NET "RX0_TMD5B(3)" LOC = "A10" | IOSTANDARD = TMDS_33 ;
NET "RX0_TMD5(2)" LOC = "B6" | IOSTANDARD = TMDS_33 ; # Red
NET "RX0_TMD5B(2)" LOC = "A6" | IOSTANDARD = TMDS_33 ;
NET "RX0_TMD5(1)" LOC = "C7" | IOSTANDARD = TMDS_33 ; # Green
NET "RX0_TMD5B(1)" LOC = "A7" | IOSTANDARD = TMDS_33 ;
NET "RX0_TMD5(0)" LOC = "B8" | IOSTANDARD = TMDS_33 ; # Blue
NET "RX0_TMD5B(0)" LOC = "A8" | IOSTANDARD = TMDS_33 ;
  
```

Внутренние нагрузочные резисторы не подключаются, так как используются нагрузочные резисторы внутри микросхемы DD7. Для работы внутреннего блока PPL в ПЛИС дифференциальный сигнал TMD5\_CLK необходимо подавать на выводы GCLK,

например, на дифференциальную пару B10/A10. Остальные дифференциальные сигналы – TMDS\_DATA можно подавать на любые, удобные для трассировки печатной платы выводы ПЛИС. Общую длину дифференциальных пар TMDS\_DATA и TMDS\_CLK от XP4 до DD1.1 необходимо уравнивать между собой для одинаковой задержки распространения сигнала TMDS.

После преобразования на выходе программного модуля имеется декодированный видеосигнал RGB 24бит с синхронизирующими импульсами VSYNC, HSYNC, VDE. Декодированный видеосигнал после вывода из микросхемы ПЛИС в необходимом интерфейсе TTL или LVDS можно использовать для подключения большинства ЖК-матриц или в пользовательской программе ПЛИС для обработки и преобразования в интерфейс микродисплейного модуля или других устройств отображения. Встроенная программа ПЛИС позволяет более тонко настроить задержки синхроимпульсов, реализовать, при необходимости, запоминание строки кадра входного изображения, организовать шину управления подключенной ЖК-матрицы или микродисплейного модуля.

Недостатком данного решения является ограниченная частота входного сигнала, что не позволяет декодировать TMDS сигналы частотой более 1080 МГц. При необходимости работы видеоконтроллера дисплейного устройства на более высоком разрешении и возможности гибкой настройки выходного видеointерфейса применяется комбинация специализированной микросхемы преобразователя DVI или HDMI сигнала и ПЛИС. В такой схеме входной преобразователь снижает высокую частоту входящих последовательных потоков цветочных данных RGB и передает их по параллельному интерфейсу TTL на ПЛИС на низкой частоте. Далее необходимая обработка осуществляется в ПЛИС уже на низкой пиксельной частоте. Например, изображение формата Full HD 1080p имеет разрешение входного сигнала 1920×1080 пикселей и частоту кадров 60Гц. Выходной декодированный RGB видеосигнал интерфейса TTL 24бит будет иметь частоту передачи 148,5 МГц, которую можно подавать на входные порты ПЛИС.

Используя решение на ПЛИС можно более гибко настроить выходной интерфейс видеоконтроллера уменьшить габариты печатной платы и массу устройства, что актуально для малогабаритных устройств индикации.

### Литература

1. Supreetha Rao, Kiran Kumar V.G, Kanhu Charan Padhy VHDL Implementation of TMDS encoder for the transmission of video signals in serial communication [Electronic resource]. – Access mode:<http://ijarcet.org/wp-content/uploads/IJARCET-VOL-4-ISSUE-4-1576-1579.pdf>. – Date of access: 17.05.2018.
2. High-Definition Multimedia Interface Specification Version 1.4. [Electronic resource] – Access mode:[http://d1.amobbs.com/bbs\\_upload782111/files\\_51/ourdev\\_716302E34B9Q.pdf](http://d1.amobbs.com/bbs_upload782111/files_51/ourdev_716302E34B9Q.pdf). – Date of access: 17.05.2018.
3. Bob Feng, XILINX, Implementing a TMDS Video Interface in the Spartan-6 FPGA [Electronic resource]. – Xilinx 2018. – Access mode: [https://www.xilinx.com/support/documentation/application\\_notes/xapp495\\_S6TMDS\\_Video\\_Interface.pdf](https://www.xilinx.com/support/documentation/application_notes/xapp495_S6TMDS_Video_Interface.pdf). – Date of access: 17.05.2018.