

Очевидно, что эта матрица обратима, причем выполняется легко проверяемое соотношение

$$J^{-1} = \begin{pmatrix} 0 & 1 \\ -1 & 0 \end{pmatrix}.$$

Рассмотрим теперь случай $h_{11} = 0$, т.е. когда матрица H имеет вид

$$H = \begin{pmatrix} 0 & h_{12} \\ h_{21} & h_{22} \end{pmatrix},$$

и, поскольку среди главных угловых миноров матрицы H есть нулевые ($h_{11} = 0$), когда для этой матрицы нельзя применить теорему о LU-разложении [1, с. 194]. Так как по условию $\det H > 0$, то для рассматриваемого случая выполняется неравенство $h_{12}h_{22} < 0$, т.е. элементы побочной диагонали матрицы H имеют разные знаки.

Пусть $h_{12} < 0$, тогда у верхнетреугольной матрицы

$$G_1 := \begin{pmatrix} h_{21} & h_{22} \\ 0 & -h_{12} \end{pmatrix}$$

на диагонали стоят положительные элементы. Так как выполняются равенства

$$J \cdot G_1 = \begin{pmatrix} 0 & -1 \\ 1 & 0 \end{pmatrix} \begin{pmatrix} h_{21} & h_{22} \\ 0 & -h_{12} \end{pmatrix} = \begin{pmatrix} 0 & h_{12} \\ h_{21} & h_{22} \end{pmatrix} = H,$$

то, отсюда, ввиду второй формулы из (2) и определения J , вытекает представление

$$H = \alpha^{-1} \cdot \beta \cdot \alpha^{-1} \cdot \underbrace{E \cdot \dots \cdot E}_{3 \text{ сомножителя}} \cdot G_1. \quad (6)$$

Если же выполняется неравенство $h_{21} < 0$, тогда матрица

$$G_2 := \begin{pmatrix} -h_{21} & -h_{22} \\ 0 & h_{12} \end{pmatrix}$$

имеет только положительные диагональные элементы. Поскольку справедливы равенства

$$J^{-1} \cdot G_2 = \begin{pmatrix} 0 & 1 \\ -1 & 0 \end{pmatrix} \begin{pmatrix} -h_{21} & -h_{22} \\ 0 & h_{12} \end{pmatrix} = \begin{pmatrix} 0 & h_{12} \\ h_{21} & h_{22} \end{pmatrix} = H,$$

то, отсюда, ввиду второй формулы из (2) и определения J^{-1} , вытекает представление

$$H = \alpha^{-1} \cdot \beta \cdot \alpha^{-1} \cdot \underbrace{E \cdot \dots \cdot E}_{3 \text{ сомножителя}} \cdot G_2. \quad (7)$$

В каждом из найденных представлений (4)-(7) матрицы H матрицы-сомножители, стоящие в правой части, суть треугольные и имеют положительные диагональные элементы. Теорема доказана.

ЛИТЕРАТУРА

1. Хорн, Р. Матричный анализ / Р. Хорн, Ч. Джонсон. – М. : Мир. – 1989. – 655 с.

УДК 681.3.06

ИСПОЛЬЗОВАНИЕ ПЛИС С АРХИТЕКТУРОЙ FPGA ДЛЯ ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ

А.В. АНДРОЩУК

(Представлено: В.М. ЧЕРТКОВ)

Рассмотрена возможность повышения производительности цифровой обработки сигналов (ЦОС) при помощи методов параллельных вычислений. Представлены особенности использования ПЛИС. Определены преимущества использования ПЛИС с архитектурой FPGA по сравнению с DSP процессорами.

Термин «цифровая обработка сигналов» (DSP, Digital Signal Processing) охватывает довольно широкую область, границы которой трудно очертить однозначно. Часто отличительной чертой устройств DSP (сигнальных процессоров) считают наличие в них аппаратной поддержки операции «умножение с накоплением» (MAC, Multiply and Accumulate). Само по себе умножение с накоплением сводится к вычислению суммы произведений вида:

$$y = \sum_{i=0}^n k_i \cdot x_i. \quad (1)$$

Эта сумма приближенно может считаться равной интегралу

$$\int_t k(t) \cdot x(t) dt, \quad (2)$$

к которому, в свою очередь, сводится большой набор математических методов анализа сигналов [1].

Одно из основных требований к системам цифровой обработки информации – высокая производительность. Достигнуть высокой скорости вычислений можно с помощью методов параллельных расчетов, которые в большинстве случаев реализуется при помощи специализированных интегральных схем (ИС), таких как ПЛИС с архитектурой Field Programmable Gate Array (FPGA).

ИС такого типа представляют собой программируемую логическую матрицу (ПЛИМ), между элементами которой проложены электрически коммутируемые соединения. Это позволяет конфигурировать отдельные компоненты и создавать связи между ними путем загрузки в ПЛИС потока данных, включающего требуемые цепи и узлы коммутации. В результате из имеющихся в составе ПЛИМ ресурсов создается требуемая цифровая схема, которая при необходимости может быть легко модифицирована. Современные ПЛИС имеют достаточно большой объем ресурсов, достигающий миллионов эквивалентных логических вентилях, составляющих сотни тысяч логических ячеек, что позволяет проектировать цифровые устройства практически любой сложности [2].

Особенности использования ПЛИС. Практически с момента своего появления FPGA позиционировались как устройства, превосходящие сигнальные процессоры по отношению производительность/цена. Однако надо иметь в виду, что по сравнению с относительно дешевыми микроконтроллерами и сигнальными процессорами ПЛИС не оправдывают свое применение в случае повторения широко распространенных процессорных архитектур или однопоточных вычислений. Преимущества ПЛИС в системах ЦОС проявляются только в случае реализации массово-параллельных вычислительных архитектур. В них максимально полно используется высокая суммарная пропускная способность на кристалльной памяти FPGA, блоков цифровой обработки сигналов и, при организации обмена данными с внешними устройствами, скоростных последовательных приемопередатчиков. Соответственно, наиболее эффективны для реализации в ПЛИС методы и алгоритмы, использующие параллельную обработку нескольких потоков данных.

Сигнальный процессор, созданный по сопоставимой технологии, в среднем имеет более высокую тактовую частоту, однако единственный поток исполнения команд снижает общую производительность. Несмотря на то, что некоторые сигнальные процессоры допускают выполнение двух или четырех MAC операций одновременно, при расчете фильтров высокого порядка общая скорость вычислений существенно снижается. В то же время FPGA с большим числом блоков DSP вполне может обеспечить одноканальное исполнение всех операций, используя параллельный расчет (рис.1). Для эффективного использования данного преимущества следует ориентироваться на алгоритмы и методы, подразумевающие распараллеливание операций – фильтры высоких порядков, быстрое преобразование Фурье, вейвлет-анализ, статистическая обработка данных и т.п.

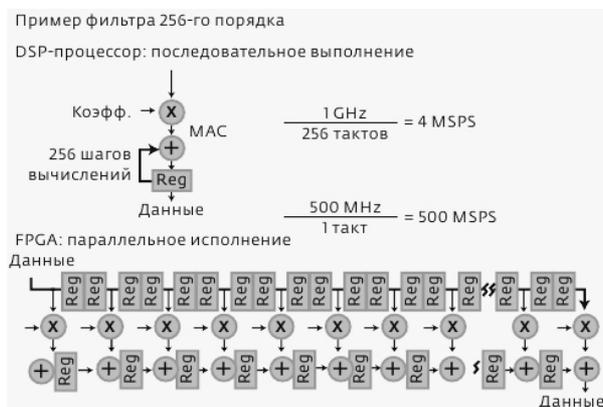


Рис. 1. Выполнение цифровой фильтрации в сигнальном процессоре и FPGA

Еще одно важное преимущество FPGA – способность обеспечивать обработку данных непрерывно и со стабильной скоростью. Дело в том, что понятие «пиковая производительность» имеет разный смысл для сигнальных процессоров и FPGA. В случае с сигнальным процессором тактовая частота условно соответствует количеству операций в секунду непосредственно с фильтром. Однако в программе процессора могут быть предусмотрены и другие действия, например, обработка прерываний. Из-за необходимости выполнять дополнительные операции пиковая скорость может упасть. Таким образом, понятие "пиковая производительность" имеет статистический характер, а реальное значение производительности может меняться не только в зависимости от выбранного алгоритма, но и в процессе работы программы при возникновении соответствующих условий.

В то же время для FPGA термин «максимальная тактовая частота» относится к наиболее выгодным условиям трассировки кристалла – все соединения выполнены с использованием коротких цепей, связанные программируемые ячейки расположены рядом, максимальная длина цепей ускоренного переноса ограничена (разрядность счетчиков, как правило, невелика). Неудачная трассировка снижает допустимую тактовую частоту, однако весьма важно то, что после завершения проектирования она остается постоянной. Некоторые проблемы с дополнительными тактами ожидания может внести использование внешней памяти. Но наличие скоростных синхронных ресурсов и достаточного количества внутренней памяти существенно облегчает построение стандартных узлов ЦОС. При необходимости в проектах на ПЛИС тоже можно реализовать процессоры (например, процессор на логических ячейках типа MicroBlaze), однако через этот процессор совершенно необязательно пропускать весь поток обрабатываемых данных. Более того, рекомендуется реализовывать высокопроизводительную цифровую обработку с использованием независимых от процессора ресурсов DSP. Процессор может выполнять организацию интерфейса, загрузку коэффициентов и прочие операции, которые сложно реализовать аппаратно. При этом единственное процессорное ядро может обеспечивать управление несколькими сотнями DSP-блоков ПЛИС, которые непрерывно выполняют обработку входного потока [1].

Средства разработки. Программирование DSP под определенную задачу, как правило, выполняется с использованием языка высокого уровня, например C, и с использованием библиотек ориентированных на определенную задачу, например библиотека для использования в приложениях беспроводной связи. Это значительно сокращает время проектирования устройств на базе DSP.

До недавнего времени разработка устройств на базе ПЛИС являлась трудной задачей, требующей больших временных затрат. Однако ситуация изменилась с появлением новых методов проектирования устройств на базе ПЛИС. Одним из новых методов является написание алгоритма работы устройства на языке высокого уровня с последующей трансляцией программы на уровень регистровых передач. Другим вариантом для сокращения времени проектирования является использование встраиваемых процессоров в ПЛИС. При этом алгоритм пишется на языке высокого уровня, и программа выполняется во встроеном процессоре [3].

Использование ПЛИС с архитектурой FPGA в цифровой обработке на сегодняшний день является наиболее эффективным решением для повышения производительности устройств ЦОС. Данное решение позволяет реализовать методы и алгоритмы, использующие параллельную обработку нескольких потоков данных, тем самым повысив общую скорость вычислений. Так же благодаря новым методам проектирования устройств на базе ПЛИС время разработки устройств на их основе сравнима с временем разработки устройств на базе DSP. Это позволяет говорить, что использование ПЛИС для реализации сложных алгоритмов цифровой обработки сигналов выглядит предпочтительнее, чем разработка на базе DSP.

ЛИТЕРАТУРА

1. Тарасов, И. ПЛИС Xilinx и цифровая обработка сигналов особенности, преимущества, перспективы / И. Тарасов // Электроника: наука, технология, бизнес. – 2011. – №3(00109). – С. 116.
2. Тарасов, И.Е. Программируемые логические схемы и их применение в схемотехнических решениях : учеб. пособие / И.Е. Тарасов, Е.Ф. Певцов. – М., 2012. – 184 с.
3. Шидловский, Д.Ю. Сравнение характеристик ПЛИС и ЦСП для определения целесообразности разработки устройств на их основе в области цифровой обработки сигнала / Д.Ю. Шидловский, М.В. Руфицкий // Труды Международного симпозиума «Надежность и качество». – 2007. – С. 2.

УДК 004.9+004.056

ИСПОЛЬЗОВАНИЕ ПРОТОКОЛА АУТЕНТИФИКАЦИИ OAUTH 2 ПРИ РАЗРАБОТКЕ RESTFUL API

Д.А. САВЧЕНКО

(Представлено: канд. физ.-мат. наук, доц. О.В. ГОЛУБЕВА)

Рассмотрены основные принципы протокола аутентификации OAuth 2. Обращено внимание на основные цели в области обеспечения безопасности предоставления данных сторонним приложениям, достигаемые использованием этого протокола.