

- необходимости и достаточности документирования системы менеджмента качества.

## 7. ЗАКЛЮЧЕНИЕ

В работе произведен комплексный анализ аудита систем менеджмента качества, выявлена необходимость в научно-методическом обеспечении аудита с использованием новых информационных технологий, которое позволит повысить производительность и объективность аудита.

Предложен инструмент решения поставленной цели – онтологический инжиниринг, наиболее перспективное сегодня средство представления знаний для управления сложными информационно наполненными системами.

Предложен подход, который вносит промежуточную ступень при построении онтологии СМК – строить онтологическую модель на базе функциональной, обращаясь не напрямую к предметной области, а к ее образу – к процессной модели, которую организация создает в соответствии с п.4.1 ИСО 9001, что также соответствует процессному подходу. Разработан двухшаговый алгоритм построения онтологии СМК.

В результате решения поставленных задач создан механизм формализации вопросов аудитора к системе менеджмента качества, гармонизированных с СТБ ИСО 9001, на основе систематизированных в качестве исходных данных чек-листов (вопросников) трех органов по сертификации.

### Литература

1. Серенков П. С., Соломахо В. Л. К вопросу о методах и инструментах эффективного менеджмента качества // Новости. Стандартизация и сертификация. 2002. №2. С. 57–60.
2. Серенков П. С., Жагора Н. А., Толстик Л. И. Концепция системы сбора и анализа данных о качестве как информационной основы системы менеджмента качества // Метрология и приборостроение. 2004. №2. С. 2–6.
3. Серенков П. С., Соломахо В. Л., Ницагин В. А., Минова А. А. Концепция инфраструктуры стандартизации как базы знаний на основе онтологий // Новости. Стандартизация и сертификация. 2004. №5. С. 25–29.
4. Tate A. Towards a Plan Ontology // AIAA Notiziq (Quarterly Publication of the Associazione Italiana per l'Intelligenza Artificiale), Special Issue on Aspects of Planning Research. 1996. №9(1). P. 19–26.
5. Kim H. M., Fox M. S., Gruninger M. An ontology for quality management — enabling quality problem identification and tracing // BT Technol J. 1999. Vol. 17, № 4. P. 131–140.

© ПГУ

## РЕАЛИЗАЦИЯ УСТРОЙСТВА СИНХРОНИЗАЦИИ ПОСЛЕДОВАТЕЛЬНОСТЕЙ КВАДРАТИЧНЫХ ВЫЧЕТОВ НА ПЛИС

Р. Н. БАСАЛАЙ, С. В. МАЛЬЦЕВ

A new hardware unit for the fast synchronization of noise-like signals on the basis of quadratic residue sequences was proposed. The utilization of this unit could noticeably reduce synchronization delay between the receiver and the transmitter of information in the communication systems. It was shown that structures proposed could be successfully implemented on FPGA basis

Ключевые слова: последовательности квадратичных вычетов, шумоподобные сигналы, синхронизация

Сигналы на основе последовательностей квадратичных вычетов (КВ) обладают хорошими корреляционными свойствами и высокой эквивалентной линейной сложностью. Эти особенности позволяют использовать их в радиотехнических системах связи с кодовым разделением каналов. При практической реализации таких систем сложной задачей является устранение неопределенности по фазе принимаемого шумоподобного сигнала. Для решения этой задачи могут использоваться традиционные методы прямого последовательного поиска фазы; однако метод дихотомии для определения фазы последовательностей КВ, предложенный в [1] и исследованный в [2; 3], позволяет значительно снизить вычислительную сложность алгоритма синхронизации, следовательно, и временные затраты на определение фазы.

Ранее была осуществлена программная реализация алгоритма синхронизации в среде MatLab 6.5, что позволило оценить вычислительную сложность и помехоустойчивость данного алгоритма. Однако большой интерес представляет аппаратная реализация предложенного алгоритма. Узел синхронизации может быть использован в составе различной телекоммуникационной аппаратуры связи, навигации и т.д., использующей шумоподобные сигналы на основе последовательностей КВ.

Разработка такого узла на традиционном схемотехническом уровне представляет собой чрезвычайно сложную задачу, требующую больших временных затрат. К тому же традиционный подход не избавлен от возможных ошибок на этапе разработки, которые трудно поддаются локализации и исправлению в дальнейшем. Подходом, свободным от перечисленных недостатков, при разработке сложных цифровых устройств является использование языков описания аппаратуры (HDL): VHDL, VerilogHDL, AlteraHDL и др. В качестве языка описания аппаратуры, на котором осуществлялось описание устройства синхронизации, был выбран язык VHDL, как один из самых распространенных и обладающих широкими возможностями. Данный язык описания аппаратуры позволяет не только

осуществлять описание цифровых устройств в потоковом и структурном, но и в поведенческом стиле, что удобно, когда у разработчика есть лишь общее представление о требуемой функциональности устройства без конкретизации конечного способа достижения этой функциональности. Описание устройства синхронизации на языке VHDL позволит реализовать устройство синхронизации в конкретном базисе (программируемые логические интегральные схемы – ПЛИС, заказные интегральные схемы) за счет трансляции (синтеза) описания аппаратуры в схемотехническое и технологическое решение [4]. Благодаря перечисленным возможностям реализация алгоритма синхронизации последовательностей квадратичных вычетов методом дихотомии на базе ПЛИС позволит оценить аппаратную сложность и быстродействие устройства.

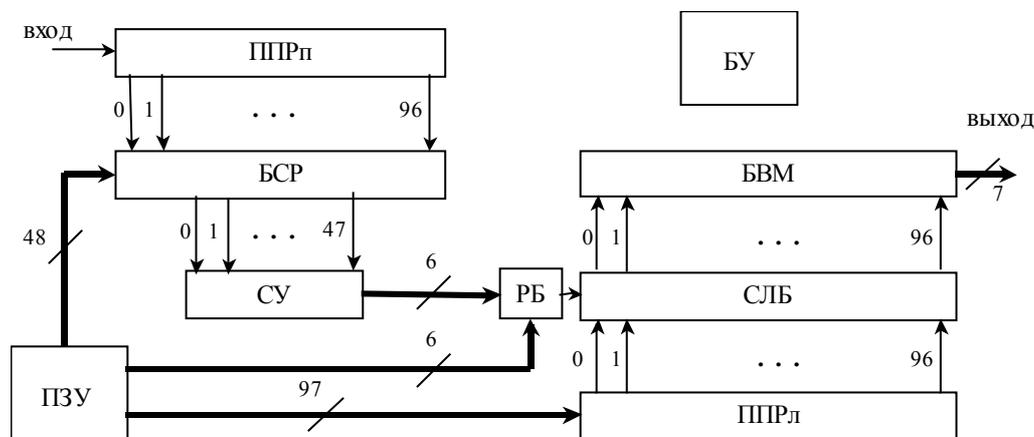
В настоящее время доступно большое число средств разработки устройств на ПЛИС, отличающихся друг от друга функциональностью и стоимостью. Для академических исследований хорошим вариантом является использование пакета Quartus II 5.1 Web Edition Full фирмы Altera Corp. (США). Данная версия является бесплатной, но в тоже время имеет в своем составе основные средства синтеза и верификации проектов [5].

Для оценки возможности аппаратной реализации блока синхронизации было выбрано устройство для обработки последовательности КВ длиной 97. Выбор данной последовательности КВ обусловлен в первую очередь интересом к проверке возможности реализации устройства синхронизации кодовых последовательностей КВ длин порядка  $10^2$ , а так же тем, что данная кодовая последовательность может использоваться для синхронизации методом дихотомии при относительно большом числе ошибочно принятых символов (4,1 %, отношение сигнал/шум в канале передачи при фазовой манипуляции +1,8 дБ) по сравнению с другими последовательностями КВ близких длин.

Реализация устройства синхронизации на базе устройств программируемой логики производилась по отдельным блокам (т.н. восходящее проектирование). Структурная схема устройства синхронизации, отражающая взаимосвязь отдельных блоков, показана на *рис. 1*.

Данная схема практически не отличается от предложенной в [6], за исключением использования счетно-логического блока СЛБ, функционально заменяющего блок управляемых инвертеров (УИ) и блок реверсивных счетчиков (РС), что упростило реализацию устройства синхронизации. Устройство СЛБ показано на *рис. 2* и представляет собой хорошо масштабируемую структуру из N одинаковых узлов, где N – длина последовательности КВ. Каждый узел по выполняемой им функции можно охарактеризовать как накапливающий одноразрядный умножитель.

Предложенный накапливающий одноразрядный умножитель на каждом такте осуществляет перемножение входного разряда (который может быть проинвертирован сигналом на управляющем входе) с результатом на выходе умножителя, полученным на предыдущем такте. Для корректной работы накапливающих умножителей необходимо произвести начальную установку триггеров в единичное состояние (вход «уст. 1» СЛБ). После завершения обработки на одном из выходов СЛБ устанавливается лог. «1» только в том случае, если найдена фаза (циклический сдвиг) последовательности КВ. Применение схемы СЛБ (*рис. 2*) позволило избавиться от большого (97 для соответствующей длины последовательности КВ) числа реверсивных счетчиков и громоздкой схемы вычисления максимального значения на их выходах, что в значительной степени уменьшило сложность реализации устройства.



*Рис. 1.* Структурная схема устройства синхронизации, реализуемого на базе программируемой логики.

ППРП – последовательно-параллельный регистр циклического сдвига вправо, БСР – блок сравнения разрядов, СУ – суммирующее устройство, ПЗУ – постоянное запоминающее устройство, РБ – решающий блок, СЛБ – счетно-логический блок, БВМ – блок выбора максимума, ППРЛ – последовательно-параллельный регистр циклического сдвига влево, БУ – блок управления; связь БУ с другими блоками условно не показана

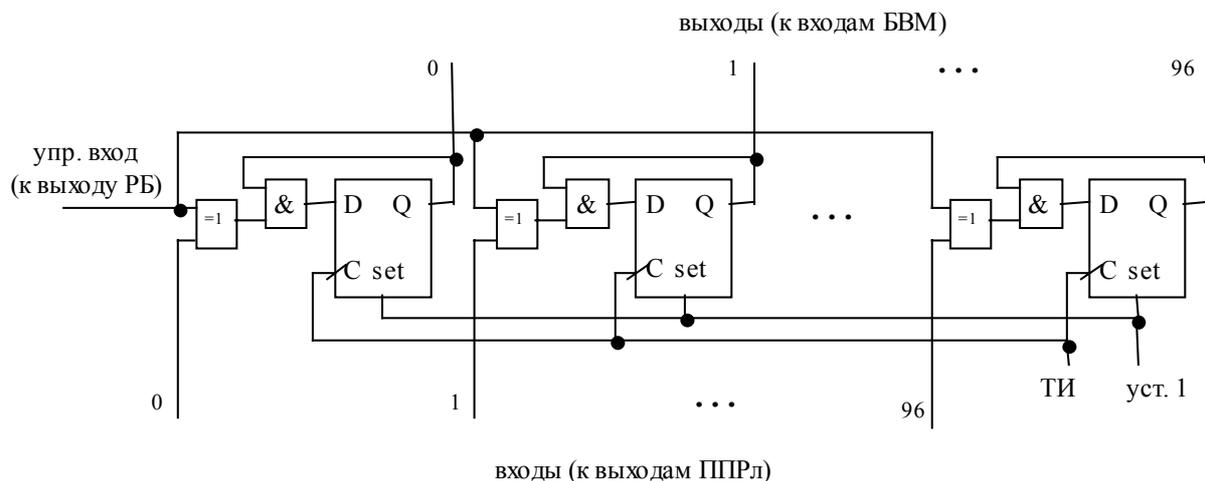


Рис. 2. Счетно-логический блок (СЛБ): ТИ – тактовые импульсы; уст. 1 – вход установки лог. «1»

В таблице 1 представлены результаты реализации устройства синхронизации на ПЛИС ф. Altera различных семейств (MAX7000, FLEX10K, Cyclone). В таблице отражены затраты аппаратных ресурсов и оценка быстродействия работы устройства синхронизации для каждого варианта реализации как по отдельным блокам, так и по устройству в целом. Так, для реализации устройства синхронизации на ПЛИС семейства MAX7000 требуется около 4-х ИС, при реализации на ПЛИС семейства FLEX10K – 1 ИС, а при реализации на ПЛИС семейства Cyclone устройство синхронизации занимает около 30 % ресурсов одной ИС.

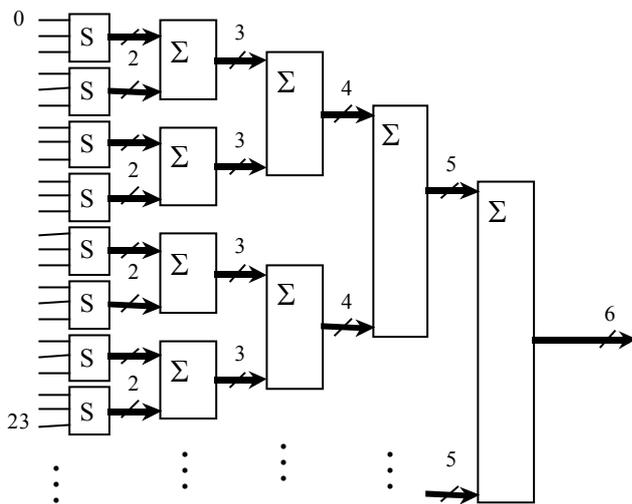
Как видно из таблицы 1, наиболее ресурсоемкими и наименее быстродействующими блоками устройства синхронизации являются суммирующее устройство СУ и блок выбора максимума БВМ, что обусловлено сложностью выполняемых ими функций. Фактически, БВМ в своем составе содержит два СУ (т.к. в БВМ производится анализ всех 97 разрядов, в отличие от СУ, работающего с 48 разрядами), а также дополнительные схемы сравнения и схему декодирования. Эта особенность БВМ может быть использована для дальнейшего уменьшения сложности устройства, например, путем использования только одной схемы СУ в конвейерном режиме, что значительно сократит аппаратные затраты на реализацию устройства.

Структурная схема реализованного СУ приведена на рис. 3. СУ представляет собой каскадный сумматор. На первом уровне СУ располагаются одноразрядные сумматоры, реализующие функцию  $S=A+B+C_{in}$  ( $C_{in}$  – перенос из предыдущего разряда). Следует отметить, что, существуют и другие способы реализации СУ, которые позволяют повысить быстродействие блока (с использованием конвейерных регистров после каждого каскада суммирования) или уменьшить аппаратную сложность, однако реализация, предложенная на рис. 3, является наиболее быстродействующей из экспериментально проверенных вариантов.

Таблица 1. Результаты реализации блоков устройства синхронизации на ПЛИС ф. Altera

Блок	Семейство ПЛИС (Altera)					
	MAX7000		FLEX10K		Cyclone	
	Кол-во КЛБ*	f, МГц	Кол-во КЛБ*	f, МГц	Кол-во КЛБ*	f, МГц
ППРп	97	~150	97	~60	97	~60
БСР	96	~120	48	~50	48	~50
СУ	178	~15	112	~15	88	~40
РБ	5	~160	9	~40	10	~50
ППРл	97	~140	194	~30	97	~60
СЛБ	97	~140	194	~40	98	~60
БВМ	более 256	–	405	~10	378	~30
БУ	10	~130	10	~60	10	~60
ПЗУ	–	–	–	–	–	–
Итого (устройство)	887/(4×256) (4×EPM3256)	~5	1069/1152 (EPF10K20) 1069/1728 (EPF10K30)	~10	826/2910 (EP1C3T)	~20

\*Примечание: КЛБ – конфигурируемый логический блок



47 —

Рис. 3. Пример реализации суммирующего устройства (СУ):  
S – одnorазрядный сумматор,  $\Sigma$  – многоразрядный сумматор

последовательностей квадратичных вычетов // Актуальные проблемы радиоэлектроники: научные исследования, подготовка кадров: сб. научных статей в 3 ч. (по результатам работы МНПК, г. Минск, 2–3 июня 2005 г.) – 2005 г. Ч. 1 – с. 15–19.

3. Басалай Р. Н. Нахождение сумм Якобшталя для двухуровневых последовательностей квадратичных вычетов // Труды молодых специалистов ПГУ. Серия «Промышленность». – Новополоцк: 2005 г. № 11 – с. 76–79.
4. IEEE Standard VHDL Language Reference Manual. American National Standards Institute, 2002.
5. Quartus II Version 5.0 Handbook. Volumes 1–3. – Altera Corporation, 2005.
6. Патент РБ № 2281 на полезную модель «Устройство определения величины задержки последовательности квадратичных вычетов» МПК G 06 F 5/01 / Басалай Р. Н., Мальцев С. В.; заявка № u20050222, заявл. 18.04.05г.

© ПГУ

## РАЗРАБОТКА И ИССЛЕДОВАНИЕ ТЕХНОЛОГИИ ПОЛУЧЕНИЯ УНИВЕРСАЛЬНЫХ РЕЖУЩИХ ЭЛЕМЕНТОВ ИЗ АЛМАЗОСОДЕРЖАЩИХ КОМПОЗИЦИОННЫХ МАТЕРИАЛОВ

С. В. ДЕРБУШ, А. А. ЛЫСОВ

The article is dedicated to the development and investigation of production technology of universal cutting elements of diamond-containing composite materials. The carried out experiments allow to determine relationship between processing regimes and properties of the specimens. Drilling bits equipped with the obtained cutting elements demonstrate good machining conditions and can be effectively used in the machinery manufacturing and stone and ceramic production

Ключевые слова: универсальные режущие элементы, металлические связи

Объектом исследований, проведенных в работе, являются технологии получения, физико-механические и эксплуатационные свойства универсальных алмазосодержащих режущих элементов цилиндрической формы.

В процессе эксплуатации инструментов матрица должна удовлетворять двум противоположным требованиям: прочно удерживать алмазные зерна, обеспечивать своевременное освобождение от затупленных зерен и обнажать новые, т.е. она должна быть достаточно хрупкой. Этим требованиям в определенной степени удовлетворяет матрица Cu-20 %Sn [1]. В работе установлено, что введение в связку адгезионно-активных добавок титана (10 вес. %), улучшая смачиваемость зерен, способствует повышению прочности их закрепления и увеличению стойкости инструмента, оснащенного универсальными режущими инструментами.

В работе рассмотрены зависимости плотности и твердости матрицы Cu-20 %Sn от давления прессования, температуры и времени спекания. Определены оптимальные режимы термомеханической обработки при получении режущих элементов на основе медно-оловянных связок. Полученные результаты позволяют построить графические зависимости пористости и твердости матрицы от времени спекания и зернистости применяемого алмазного сырья.

Установлено, что прочностные характеристики порошковых композиций существенно зависят от режимов термомеханической обработки – температуры и времени спекания, давления и температуры

Как видно из *таблицы 1*, ПЗУ, как отдельный блок, для реализации устройства не требуется – требуемая функциональность на ПЛИС достигается путем программирования, например, входов предустановки внутренних триггеров.

Т.о. анализ полученных данных позволяет говорить о возможности аппаратной реализации устройства синхронизации на устройствах программируемой логики при приемлемой затрате аппаратных ресурсов (а значит, приемлемой стоимости кристалла ПЛИС). Однако, оптимизация отдельных блоков (СУ, БВМ) может способствовать дальнейшему повышению быстродействия устройства синхронизации.

### Литература

1. Мальцев С. В., Богуш Р. П. Синхронизация квадратично-вычетных последовательностей методом дихотомии // Известия Белорусской инженерной академии – 2002г. Т. 1 №2(14). – С. 20–22.
2. Басалай Р. Н., Мальцев С. В. Способ уменьшения вычислительной сложности алгоритма синхронизации