

Учреждение образования
«Полоцкий государственный университет имени Евфросинии Полоцкой»

УТВЕРЖДАЮ

Ректор учреждения образования
«Полоцкий государственный
университет имени
Евфросинии Полоцкой»

Ю. Я. Романовский
« 30 » 2023 г.
Регистрационный № УД- 917/23 /уч.



МОДУЛЬ «ИНФОРМАТИКА И КОМПЬЮТЕРНЫЕ СИСТЕМЫ»

АРХИТЕКТУРА КОМПЬЮТЕРОВ

Учебная программа учреждения образования
по учебной дисциплине для специальности
6-05-0533-12 «Кибербезопасность»

2023 г.

Учебная программа составлена на основе учебного плана специальности 6-05-0533-12 «Кибербезопасность». Регистрационный 14-23/уч. ФКНЭ от 04.04.2023 для дневной очной формы получения высшего образования

СОСТАВИТЕЛЬ:

Ирина Брониславовна Бураченко, к.т.н., доцент, доцент кафедры математики и компьютерной безопасности учреждения образования «Полоцкий государственный университет имени Евфросинии Полоцкой»

РЕЦЕНЗЕНТЫ:

К.Я. Раханов, к.т.н., доцент, технический директор ООО «ТриИнком»

Д.Н. Свидуневич, начальник Центра информационных технологий учреждения образования «Полоцкий государственный университет имени Евфросинии Полоцкой»

РЕКОМЕНДОВАНА К УТВЕРЖДЕНИЮ:

Кафедрой математики и компьютерной безопасности учреждения образования «Полоцкий государственный университет имени Евфросинии Полоцкой» (протокол № 6 от «30» 05 2023 г.).

Методической комиссией факультета компьютерных наук и электроники учреждения образования «Полоцкий государственный университет имени Евфросинии Полоцкой» (протокол № 10 от «22» 06 2023 г.).

Научно-методическим советом учреждения образования «Полоцкий государственный университет имени Евфросинии Полоцкой» (протокол № 6 от «30» 06 2023 г.).

ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

Учебная дисциплина «Архитектура компьютеров» знакомит студентов с физическими основами работы современного компьютера и его основных компонентов, включая системотехнический уровень, уровень микрокоманд, системы команд, архитектурные и структурные особенности организации и функционирования компьютеров и компьютерных систем разных поколений. При изучении данной дисциплины студенты получают базовые понятия, которые важны при проектировании компьютерных систем и сетей, являющихся основной составляющей современных телекоммуникационных технологий, а также знакомятся с перспективами развития элементной базы современных компьютеров.

Изучаемые темы представляются на основе современной нормативной регулятивной базы и национального законодательства.

Целью изучения дисциплины «Архитектура компьютеров» является:

- формирование у студентов представления о компьютере как универсальном устройстве обработки информации;
- формирование у студентов системного взгляда на архитектуры разрабатываемых, эксплуатируемых или сопровождаемых компьютерных систем;
- развитие основных навыков и умений использования компьютерных устройств.

Изучение данной дисциплины является необходимым этапом в профессиональном развитии специалиста по кибербезопасности.

Задачи изучения учебной дисциплины. Задачей учебной дисциплины «Архитектура компьютеров» является формирование базовых понятий в области:

- схемотехнических элементов электронно-вычислительных машин (ЭВМ): логических элементов, триггерных схем, регистров, счетчиков и т.д.;
- организации и принципов работы запоминающих устройств, устройства управления, арифметико-логических устройств на примерах реализации устройств, выполняющих заданные функции;
- организации ввода-вывода информации, включая прямой доступ к памяти, а также вопросы, возникающие при работе системы распределения памяти.

В результате изучения учебной дисциплины студент должен:

знать:

- схемотехнические элементы ЭВМ;
- основные функциональные элементы ЭВМ: дешифратор, шифратор, триггерные схемы различных типов, счетчик, регистры хранения и сдвига;
- внутреннюю структуру, временные диаграммы работы основных функциональных элементов современного компьютера;
- режимы адресации и форматы команд персонального компьютера с системой команд x86;
- основные характеристики 32-разрядного микропроцессора;
- конвейерную организацию работы микропроцессора для случая идеального конвейера и конвейера, в работе которого встречаются конфликты;
- основные режимы работы мультипрограммной ЭВМ, характеристики ЭВМ при работе в мультипрограммном режиме, дисциплины распределения ресурсов;
- работу системы прерывания как с классической точки зрения, так и применительно к современным персональным компьютерам;
- классификацию и основные характеристики памяти; виды адресации и структурную схему памяти;
- основные режимы работы памяти; назначение и особенности постоянной памяти;
- классические методы защиты информации в компьютере и методы, поддерживаемые на аппаратном уровне в современных компьютерах;

уметь:

- составлять логические схемы с использованием основных функциональных элементов компьютера и строить временные диаграммы работы;

владеть:

– основными приемами и методами построения различных узлов и устройств компьютера на основе функциональных элементов.

Требования к уровню освоения содержания учебной дисциплины. При изучении дисциплины «Архитектура компьютеров» у студентов специальности 6-05-0533-12 «Кибербезопасность» должен сформироваться набор компетенций, соответствующих присваиваемой по завершению высшего образования квалификации «Специалист по кибербезопасности», обеспечивающих выпускникам по указанной специальности успешность применения полученных знаний и умений в дальнейшей профессиональной деятельности:

универсальные компетенции:

УК-1 владеть основами исследовательской деятельности, осуществлять поиск, анализ и синтез информации;

УК-2 решать стандартные задачи профессиональной деятельности на основе применения информационно-коммуникационных технологий;

УК-4 работать в команде, толерантно воспринимать социальные, этнические, конфессиональные, культурные и иные различия;

УК-5 быть способным к саморазвитию и совершенствованию в профессиональной деятельности;

УК-6 проявлять инициативу и адаптироваться к изменениям в профессиональной деятельности.

базовые профессиональные компетенции:

БПК-3 применять знания в области принципов функционирования, структурной организации компьютеров, компьютерных систем и сетей, архитектур и программных реализаций операционных систем, проектирования и разработки баз данных для решения задач передачи, приема, хранения и обработки информации.

Сформированные компетенции являются базовыми при изучении всех последующих дисциплин, связанных с программированием, а также фундаментальной основой для дальнейшей профессиональной деятельности специалиста в области кибербезопасности.

Перечень дисциплин, в продолжение и на базе которых изучается дисциплина.

Основой для изучения учебной дисциплины «Архитектура компьютеров» по специальности 6-05-0533-12 «Кибербезопасность» является учебный предмет «Информатика», изучаемый при получении общего базового и общего среднего образования.

Перечень дисциплин, которые изучаются на базе дисциплины.

Знания полученные при изучении дисциплины «Архитектура компьютеров» непосредственно связаны с учебными дисциплинами компонента учреждения образования «Программно-аппаратные и технические средства защиты информации», «Методы и стандарты оценки защищенности компьютерных систем», «Системы обеспечения комплексной безопасности», «Защита информации в операционных системах и компьютерных сетях», а также другими дисциплинами, предусмотренными учебным планом по специальности. Изучение учебной дисциплины позволяет дать студентам базу, необходимую для успешного усвоения материала перечисленных выше учебных дисциплин, а также получить знания, необходимые им в дальнейшем для успешной работы.

В соответствии с учебным планом по специальности 6-05-0533-12 «Кибербезопасность» на изучение учебной дисциплины отводится:

Форма получения высшего образования	дневная
Курс (курсы)	1
Семестр	1
Всего часов по дисциплине	108
Всего аудиторных часов по дисциплине	64
В том числе:	
Лекции, часов	36
Лабораторные занятия, часов	28
Самостоятельная работа, часов	44
Форма промежуточной аттестации	экзамен
Трудоёмкость дисциплины, з.е.	3

СОДЕРЖАНИЕ УЧЕБНОГО МАТЕРИАЛА

РАЗДЕЛ I. ВВЕДЕНИЕ

Тема 1.1. Базовые принципы и элементы построения цифровых систем.

Принцип управления сложностью системы через абстракцию. Уровни абстракции электронной вычислительной системы. Конструкторская дисциплина. Базовые принципы управления сложностью системы: иерархичность, модульность конструкции и регулярность. Понятие и преимущества цифровой абстракции.

Тема 1.2. Системы счисления.

Десятичная система счисления, двоичная система счисления, шестнадцатеричная система счисления. Понятие байта и полубайта. Сложение двоичных чисел. Знак двоичных чисел: прямой код, дополнительный код. Сравнение способов представления двоичных чисел.

Тема 1.3. Логические элементы.

Логический элемент НЕ, буфер, логический элемент И, логический элемент ИЛИ, другие логические элементы с двумя входными сигналами, логические элементы с количеством входов больше двух.

Тема 1.4. Представление двоичного сигнала в электрической цепи.

Представление двоичного сигнала в электрической цепи: напряжение питания, логические уровни, допускаемые уровни шумов, передаточная характеристика. Принцип статической дисциплины.

Тема 1.5. КМОП-транзисторы.

КМОП-транзисторы: полупроводники, диоды, конденсаторы, n-МОП- и p-МОП-транзисторы, логический элемент НЕ на КМОП-транзисторах, другие логические элементы на КМОП-транзисторах, передаточный (проходной) логический элемент, псевдо-n-МОП-логика. Потребляемая мощность.

РАЗДЕЛ II. КОМБИНАЦИОННАЯ ЛОГИКА

Тема 2.1. Разработка комбинационной логики.

Понятие комбинационной схемы. Правила комбинационной композиции. Логические функции: терминология, дизъюнктивная форма, конъюнктивная форма.

Тема 2.2. Булева алгебра.

Булева алгебра: аксиомы, теоремы одной переменной, теоремы с несколькими переменными, доказательство теорем булевой алгебры, упрощение логических уравнений.

Тема 2.3. Проектирование логических элементов.

Понятие принципиальной схемы и правила её отображения. Многоуровневая комбинационная логика: минимизация аппаратных затрат, перемещение инверсии. Понятия недопустимого и отключенного состояний: недопустимое значение, третье состояние.

Тема 2.4. Карты Карно.

Карты Карно. Логическая минимизация на картах Карно. Безразличные переменные.

Тема 2.5. Базовые комбинационные блоки.

Базовые комбинационные блоки: мультиплексоры (двухвходовый мультиплексор, многовходовые мультиплексоры, логика на мультиплексорах), дешифраторы, построение логических схем на дешифраторах.

РАЗДЕЛ III. РАЗРАБОТКА ПОСЛЕДОВАТЕЛЬНОСТНОЙ ЛОГИКИ

Тема 3.1. Основные блоки построения последовательных логических схем.

Защелки и триггеры: RS-триггер, D-защелка, D-триггер, регистр, триггер с функцией разрешения, триггер с функцией сброса, разработка триггеров и защелок на транзисторном уровне, сравнение защелок и триггеров.

Тема 3.2. Разработка синхронных логических схем.

Неустойчивые схемы, понятие «гонок» (race condition), синхронные последовательностные схемы, синхронные и асинхронные схемы.

Тема 3.3. Конечные автоматы.

Конечные автоматы: пример разработки конечного автомата, кодирование состояний, автоматы Мура и Мили, декомпозиция конечных автоматов, восстановление конечных автоматов по электрической схеме.

Тема 3.4. Параллелизм.

Понятия пропускной способности и задержки, пространственный и временной параллелизм. Конвейеризация. Двух- и трёхстадийные конвейеры.

РАЗДЕЛ IV. ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ

Тема 4.1. Сложные комбинационные и последовательностные функциональные узлы.

Арифметические схемы: сложение (полусумматор, полный сумматор, сумматор с распространяющимся переносом, сумматоры с последовательным переносом, сумматоры с ускоренным переносом, префиксный сумматор), вычитание, компараторы, арифметико-логическое устройство (АЛУ), схемы сдвига и циклического сдвига, умножение, деление.

Тема 4.2. Представление чисел.

Числа с фиксированной запятой, числа с плавающей запятой, (представление таких чисел, как 0, бесконечность и недопустимое значение, форматы с одинарной и двойной точностью, округление, сложение чисел с плавающей запятой).

Тема 4.3. Функциональные узлы последовательностной логики.

Счетчики, сдвиговые регистры (параллельно-последовательный преобразователь, сдвиговый регистр с параллельной загрузкой, сканирующие цепочки).

Тема 4.4. Матрицы памяти.

Обзор матриц памяти: запоминающие элементы, организация матрицы памяти, порты памяти, типы памяти. Динамическое ОЗУ (DRAM). Статическое ОЗУ (SRAM). Регистровые файлы. Постоянное запоминающее устройство. Реализация логических функций с использованием матриц памяти.

Тема 4.5. Матрицы логических элементов.

Программируемые логические матрицы. Программируемые пользователем вентильные матрицы. Схемотехника матриц.

РАЗДЕЛ V. АРХИТЕКТУРА КОМПЬЮТЕРА

Тема 5.1. Язык ассемблера.

Инструкции. Операнды: регистры, набор регистров, константы и непосредственные операнды, память.

Тема 5.2. Низкоуровневое программирование.

Порядок выполнения программы, арифметические и логические инструкции: логические инструкции, инструкции сдвига, инструкции умножения. Ветвление программ: условные и безусловные переходы, условные операторы (оператор if, операторы if/else, операторы switch/case), циклы (цикл while, цикл for). Массив: байты и символы, использование lb и sb для доступа к массиву символов. Вызовы функций: вызовы и возвраты из функций, входные аргументы и возвращаемые значения, стек, оберегаемые регистры, вызовы нелистовых функций, рекурсивные вызовы функций, дополнительные аргументы и локальные переменные. Псевдокоманды.

Тема 5.3. Машинный язык.

Инструкции типа R. Инструкции типа I. Инструкции типа S/B. Инструкции типа U/J. Кодирование констант. Режимы адресации: регистровая адресация, непосредственная адресация, базовая адресация, адресация относительно счетчика команд. Трансляция машинных кодов на язык ассемблера. Хранимая программа.

Тема 5.4. Компилирование, ассемблирование и загрузка программ.

Карта памяти: сегмент кода, сегмент глобальных данных, сегмент динамических данных, обработчик исключений, ОС и сегменты ввода-вывода (I/O). Директивы ассемблера. Компиляция. Трансляция. компоновка. Загрузка.

Тема 5.5. Добавочные сведения: порядок байтов, исключения, знаковые и беззнаковые арифметические инструкции, инструкции с плавающей запятой и сжатые (16-битные) инструкции.

Порядок байтов, исключения (режимы выполнения и уровни привилегий, обработчики исключений, инструкции, связанные с исключениями, промежуточный итог). Команды для чисел со знаком и без знака: умножение и деление, инструкция set less than, условный переход, загрузка. Команды для работы с числами с плавающей запятой. Сжатые инструкции.

Тема 5.6. Архитектура RISC-V.

Эволюция архитектуры RISC-V. Базовые наборы команд и расширения RISC-V. Сравнение архитектур RISC-V и MIPS. Сравнение архитектур RISC-V и ARM.

Тема 5.7. Архитектура x86.

Архитектура x86. Регистры x86. Операнды x86. Флаги состояния. Команды x86. Кодировка команд x86. Особенности x86.

РАЗДЕЛ VI. МИКРОАРХИТЕКТУРА

Тема 6.1. Микроархитектура процессора.

Архитектурное состояние и система команд. Две взаимодействующих части микроархитектуры: тракт данных и устройство управления. Микроархитектуры MIPS. Анализ производительности.

Тема 6.2. Однотактный процессор.

Однотактный тракт данных: выборка команды из памяти, чтение операнда из регистрового файла, знаковое расширение непосредственного операнда, вычисление адреса данных в памяти, запись в регистровый файл, определение адреса следующей команды, запись командой sw данных в память, изменения в тракте данных для поддержки команд типа R, изменения в тракте данных для поддержки команды beq. Однотактное устройство управления: внутренняя структура устройства управления, таблица истинности дешифратора АЛУ и основного дешифратора. Функционирование однотактного процессора. Дополнительные команды. Анализ производительности. Производительность однотактного процессора.

Тема 6.3. Многотактный процессор.

Многотактный тракт данных: общая память команд и данных и хранящие архитектурное состояние элементы, выборка команды из памяти, чтение операнда из регистрового файла, знаковое расширение непосредственного операнда, сложение базового адреса и смещения, загрузка данных из памяти, запись данных в регистровый файл, увеличение счетчика команд, изменения в тракте данных для поддержки команды sw, Изменения в тракте данных для поддержки команд типа R, изменения в тракте данных для поддержки команды beq. Многотактное устройство управления. Законченный многотактный процессор MIPS. Пути движения данных на этапе выборки команды. Пути движения данных на этапе дешифрации команды. Пути движения данных при вычислении адреса. Этапы чтения данных из памяти. Этап записи в память данных. Этапы вычисления результатов команд типа R. Этапы выполнения команды beq. Дополнительные команды. Анализ производительности: CPI многотактного процессора, сравнение производительности процессоров.

Тема 6.4. Конвейерный процессор.

Конвейерный процессор. Временная диаграмма однотактного и конвейерного процессоров. Абстрактное представление работающего конвейера. Конвейерный тракт данных - однотактный и конвейерный тракты данных. Конвейерное устройство управления. Конфликты: конфликты в конвейере, разрешение конфликтов пересылкой через байпас, разрешение конфликтов данных приостановками конвейера, разрешение конфликтов управления. Дополнительные команды. Анализ производительности: CPI конвейерного процессора, сравнение производительности процессоров.

Тема 6.5. Улучшенные микроархитектуры.

Улучшенные микроархитектуры. Длинные конвейеры. Предсказание условных переходов. Суперскалярный процессор: тракт данных суперскалярного процессора, суперскалярный конвейер. Процессор с внеочередным выполнением команд. Внеочередное выполнение команд с переименованием регистров. Одиночный поток команд, множественный поток данных (single instruction multiple data, SIMD). Многопоточность. Симметричные мультипроцессоры. Гетерогенные мультипроцессоры.

Тема 6.6. Микроархитектура x86.

Микропроцессор Intel 4004. Эволюция микропроцессоров Intel x86. Микропроцессор 80386. Микропроцессор 80486. Микропроцессор Pentium. Микропроцессоры Pentium Pro, Pentium II и Pentium III. Микропроцессор Pentium 4. Микропроцессор Core Duo. Микропроцессоры Core i3, i5 и i7.

Учебно-методическая карта учебной дисциплины «Архитектура компьютеров»

Дневная форма получения высшего образования

Номер раздела, темы, занятия	Название раздела, темы, занятия; перечень изучаемых вопросов	Количество аудиторных часов				Литература	Формы контроля знаний
		лекции	Лабораторные занятия	Практические занятия	Управляемая самостоятельная работа студента		
1	2	3	4	5	6	7	8
	Раздел 1. Введение	4	4				
1	<p>Лекция № 1</p> <p><i>Тема 1.1. Базовые принципы и элементы построения цифровых систем.</i></p> <p>Принцип управления сложностью системы через абстракцию. Уровни абстракции электронной вычислительной системы. Конструкторская дисциплина. Базовые принципы управления сложностью системы: иерархичность, модульность конструкции и регулярность. Понятие и преимущества цифровой абстракции.</p> <p><i>Тема 1.2. Системы счисления.</i></p> <p>Десятичная система счисления, двоичная система счисления, шестнадцатеричная система счисления. Понятие байта и полубайта. Сложение двоичных чисел. Знак двоичных чисел: прямой код, дополнительный код. Сравнение способов представления двоичных чисел.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
2	<p>Лабораторная работа №1</p> <p><i>Центральные и внешние устройства ПК.</i></p> <p>Изучение функционального взаимодействия центральных и внешних устройств компьютера и их характеристик.</p>		2			Методические указания	Защита отчета по лабораторной работе № 1

1	2	3	4	5	6	7	8
3	<p>Лекция № 2</p> <p><i>Тема 1.3. Логические элементы.</i></p> <p>Логический элемент НЕ, буфер, логический элемент И, логический элемент ИЛИ, другие логические элементы с двумя входными сигналами, логические элементы с количеством входов больше двух.</p> <p><i>Тема 1.4. Представление двоичного сигнала в электрической цепи.</i></p> <p>Представление двоичного сигнала в электрической цепи: напряжение питания, логические уровни, допустимые уровни шумов, передаточная характеристика. Принцип статической дисциплины.</p> <p><i>Тема 1.5. КМОП-транзисторы.</i></p> <p>КМОП-транзисторы: полупроводники, диоды, конденсаторы, n-МОП- и p-МОП-транзисторы, логический элемент НЕ на КМОП-транзисторах, другие логические элементы на КМОП-транзисторах, передаточный (проходной) логический элемент, псевдо-n-МОП-логика. Потребляемая мощность.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольное тестирование №1
4	<p>Лабораторная работа №2</p> <p><i>Системы счисления.</i></p> <p>Повторить и закрепить знания по способам представления чисел в позиционных системах счисления, переводу чисел из десятичной системы счисления в любую другую и обратно.</p>		2			Методические указания	Защита отчета по лабораторной работе № 2
	Раздел 2. Комбинационная логика	4	2				
5	<p>Лекция № 3</p> <p><i>Тема 2.1. Разработка комбинационной логики.</i></p> <p>Понятие комбинационной схемы. Правила комбинационной композиции. Логические функции: терминология, дизъюнктивная форма, конъюнктивная форма.</p> <p><i>Тема 2.2. Булева алгебра.</i></p> <p>Булева алгебра: аксиомы, теоремы одной переменной, теоремы с несколькими переменными, доказательство теорем булевой алгебры, упрощение логических уравнений.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольное тестирование №2

1	2	3	4	5	6	7	8
6	<p>Лекция № 4</p> <p><i>Тема 2.3. Проектирование логических элементов.</i></p> <p>Понятие принципиальной схемы и правила её отображения. Многоуровневая комбинационная логика: минимизация аппаратных затрат, перемещение инверсии. Понятия недопустимого и отключенного состояний: недопустимое значение, третье состояние.</p> <p><i>Тема 2.4. Карты Карно.</i></p> <p>Карты Карно. Логическая минимизация на картах Карно. Безразличные переменные.</p> <p><i>Тема 2.5. Базовые комбинационные блоки.</i></p> <p>Базовые комбинационные блоки: мультиплексоры (двухходовый мультиплексор, многоходовые мультиплексоры, логика на мультиплексорах), дешифраторы, построение логических схем на дешифраторах.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
7	<p>Лабораторная работа №3</p> <p><i>Машинные коды</i></p> <p>Изучить основы машинной арифметики, представления чисел в прямом, обратном и дополнительном кодах и арифметических операций над ними.</p>		2			Методические указания	Защита отчета по лабораторной работе № 3
	Раздел 3. Разработка последовательностной логики	4	2				
8	<p>Лекция № 5</p> <p><i>Тема 3.1. Основные блоки построения последовательных логических схем.</i></p> <p>Защелки и триггеры: RS-триггер, D-защелка, D-триггер, регистр, триггер с функцией разрешения, триггер с функцией сброса, разработка триггеров и защелок на транзисторном уровне, сравнение защелок и триггеров.</p> <p><i>Тема 3.2. Разработка синхронных логических схем.</i></p> <p>Неустойчивые схемы, понятие «гонок» (race condition), синхронные последовательностные схемы, синхронные и асинхронные схемы.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос

1	2	3	4	5	6	7	8
9	<p>Лабораторная работа №4</p> <p><i>Построение логических схем.</i></p> <p>Освоить алгоритм построения таблиц истинности для логических функций; научиться определять и анализировать функции проводимости переключаемых схем.</p>		2			Методические указания	Защита отчета по лабораторной работе № 4
10	<p>Лекция № 6</p> <p><i>Тема 3.3. Конечные автоматы.</i></p> <p>Конечные автоматы: пример разработки конечного автомата, кодирование состояний, автоматы Мура и Мили, декомпозиция конечных автоматов, восстановление конечных автоматов по электрической схеме.</p> <p><i>Тема 3.4. Параллелизм.</i></p> <p>Понятия пропускной способности и задержки, пространственный и временной параллелизм. Конвейеризация. Двух- и трёхстадийные конвейеры.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольное тестирование №3
Раздел 4. Цифровые функциональные узлы		6	4				
11	<p>Лекция № 7</p> <p><i>Тема 4.1. Сложные комбинационные и последовательностные функциональные узлы.</i></p> <p>Арифметические схемы: сложение (полусумматор, полный сумматор, сумматор с распространяющимся переносом, сумматоры с последовательным переносом, сумматоры с ускоренным переносом, префиксный сумматор), вычитание, компараторы, арифметико-логическое устройство (АЛУ), схемы сдвига и циклического сдвига, умножение, деление.</p> <p><i>Тема 4.2. Представление чисел.</i></p> <p>Числа с фиксированной запятой, числа с плавающей запятой, (представление таких чисел, как 0, бесконечность и недопустимое значение, форматы с одинарной и двойной точностью, округление, сложение чисел с плавающей запятой).</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольная работа №1

1	2	3	4	5	6	7	8
12	<p>Лабораторная работа №5</p> <p><i>Знакомство со средой моделирования электронных схем Electronics Workbench.</i></p> <p>Знакомство со средой и изучение основных возможностей и правил работы в программе Electronics Workbench.</p>		2			Методические указания	Защита отчета по лабораторной работе № 5
13	<p>Лекция № 8</p> <p><i>Тема 4.3. Функциональные узлы последовательностной логики.</i></p> <p>Счетчики, сдвиговые регистры (параллельно-последовательный преобразователь, сдвиговой регистр с параллельной загрузкой, сканирующие цепочки).</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
14	<p>Лабораторная работа №6</p> <p><i>Знакомство со средой моделирования электронных схем Electronics Workbench.</i></p> <p>Знакомство со средой и изучение основных возможностей и правил работы в программе Electronics Workbench.</p>		2			Методические указания	Защита отчета по лабораторной работе № 6
15	<p>Лекция № 9</p> <p><i>Тема 4.4. Матрицы памяти.</i></p> <p>Обзор матриц памяти: запоминающие элементы, организация матрицы памяти, порты памяти, типы памяти. Динамическое ОЗУ (DRAM). Статическое ОЗУ (SRAM). Регистровые файлы. Постоянное запоминающее устройство. Реализация логических функций с использованием матриц памяти.</p> <p><i>Тема 4.5. Матрицы логических элементов.</i></p> <p>Программируемые логические матрицы. Программируемые пользователем вентильные матрицы. Схемотехника матриц.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
Раздел 5. Архитектура компьютера		6	6				
16	<p>Лекция № 10</p> <p><i>Тема 5.1. Язык ассемблера.</i></p> <p>Инструкции. Операнды: регистры, набор регистров, константы и непосредственные операнды, память.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос

1	2	3	4	5	6	7	8
	<p><i>Тема 5.2. Низкоуровневое программирование.</i></p> <p>Порядок выполнения программы, арифметические и логические инструкции: логические инструкции, инструкции сдвига, инструкции умножения. Ветвление программ: условные и безусловные переходы, условные операторы (оператор if, операторы if/else, операторы switch/case), циклы (цикл while, цикл for). Массив: байты и символы, использование lb и sb для доступа к массиву символов. Вызовы функций: вызовы и возвраты из функций, входные аргументы и возвращаемые значения, стек, оберегаемые регистры, вызовы нелистовых функций, рекурсивные вызовы функций, дополнительные аргументы и локальные переменные. Псевдокоманды.</p>						Блиц-опрос
17	<p>Лабораторная работа №7</p> <p><i>Моделирование простейших логических схем.</i></p> <p>Моделирование логических функций при помощи логических элементов в среде моделирования электронных схем Electronics Workbench.</p>		2			Методические указания	Защита отчета по лабораторной работе № 7
18	<p>Лекция № 11</p> <p><i>Тема 5.3. Машинный язык.</i></p> <p>Инструкции типа R. Инструкции типа I. Инструкции типа S/B. Инструкции типа U/J. Кодирование констант. Режимы адресации: регистровая адресация, непосредственная адресация, базовая адресация, адресация относительно счетчика команд. Трансляция машинных кодов на язык ассемблера. Хранимая программа.</p> <p><i>Тема 5.4. Компилирование, ассемблирование и загрузка программ.</i></p> <p>Карта памяти: сегмент кода, сегмент глобальных данных, сегмент динамических данных, обработчик исключений, ОС и сегменты ввода-вывода (I/O). Директивы ассемблера. Компиляция. Трансляция. Компоновка. Загрузка.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
19	<p>Лабораторная работа №8</p> <p><i>Моделирование простейших логических схем.</i></p> <p>Моделирование логических функций при помощи логических элементов в среде моделирования электронных схем Electronics Workbench.</p>		2			Методические указания	Защита отчета по лабораторной работе № 8

1	2	3	4	5	6	7	8
20	<p>Лекция №12</p> <p><i>Тема 5.5. Добавочные сведения: порядок байтов, исключения, знаковые и беззнаковые арифметические инструкции, инструкции с плавающей запятой и сжатые (16-битные) инструкции.</i></p> <p>Порядок байтов, исключения (режимы выполнения и уровни привилегий, обработчики исключений, инструкции, связанные с исключениями, промежуточный итог). Команды для чисел со знаком и без знака: умножение и деление, инструкция set less than, условный переход, загрузка. Команды для работы с числами с плавающей запятой. Сжатые инструкции.</p> <p><i>Тема 5.6. Архитектура RISC-V.</i></p> <p>Эволюция архитектуры RISC-V. Базовые наборы команд и расширения RISC-V. Сравнение архитектур RISC-V и MIPS. Сравнение архитектур RISC-V и ARM.</p> <p><i>Тема 5.7. Архитектура x86.</i></p> <p>Архитектура x86. Регистры x86. Операнды x86. Флаги состояния. Команды x86. Кодировка команд x86. Особенности x86.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос
21	<p>Лабораторная работа №9</p> <p><i>Моделирование комбинационных устройств.</i></p> <p>Изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.</p>		2			Методические указания	Защита отчета по лабораторной работе № 9
	Раздел 6. Микроархитектура.	12	10				
22	<p>Лекция №13</p> <p><i>Тема 6.1. Микроархитектура процессора.</i></p> <p>Архитектурное состояние и система команд. Две взаимодействующих части микроархитектуры: тракт данных и устройство управления. Микроархитектуры MIPS. Анализ производительности.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольное тестирование №4
23	<p>Лабораторная работа №10</p> <p><i>Моделирование комбинационных устройств.</i></p> <p>Изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.</p>		2			Методические указания	Защита отчета по лабораторной работе № 10

1	2	3	4	5	6	7	8
24	<p>Лекция №14</p> <p><i>Тема 6.2. Однотактный процессор.</i></p> <p>Однотактный тракт данных: выборка команды из памяти, чтение операнда из регистрового файла, знаковое расширение непосредственного операнда, вычисление адреса данных в памяти, запись в регистровый файл, определение адреса следующей команды,</p>						
	<p>запись командой sw данных в память, изменения в тракте данных для поддержки команд типа R, изменения в тракте данных для поддержки команды beq.</p> <p>Однотактное устройство управления: внутренняя структура устройства управления, таблица истинности дешифратора АЛУ и основного дешифратора. Функционирование однотактного процессора. Дополнительные команды. Анализ производительности. Производительность однотактного процессора.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	*Контрольная работа №2
25	<p>Лабораторная работа №11</p> <p><i>Моделирование триггеров и регистров.</i></p> <p>Приобретение практических навыков построения и исследования различных типов триггеров и регистров.</p>		2			Методические указания	Защита отчета по лабораторной работе № 11
26	<p>Лекция №15</p> <p><i>Тема 6.3. Многотактный процессор.</i></p> <p>Многотактный тракт данных: общая память команд и данных и хранящие архитектурное состояние элементы, выборка команды из памяти, чтение операнда из регистрового файла, знаковое расширение непосредственного операнда, сложение базового адреса и смещения, загрузка данных из памяти, запись данных в регистровый файл, увеличение счетчика команд, изменения в тракте данных для поддержки команды sw, Изменения в тракте данных для поддержки команд типа R, изменения в тракте данных для поддержки команды beq. Многотактное устройство управления. Законченный многотактный процессор MIPS. Пути движения данных на этапе выборки команды. Пути движения данных на этапе дешифрации команды. Пути движения данных при вычислении адреса. Этапы чтения данных из памяти. Этап записи в память данных. Этапы вычисления результатов команд типа R.</p>	2				<p>Осн. лит.: [1], [2], [3],[4].</p> <p>Доп. лит.: [1], [2], [3].</p>	Блиц-опрос

1	2	3	4	5	6	7	8
	Этапы выполнения команды beq. Дополнительные команды. Анализ производительности: CPI многотактного процессора, сравнение производительности процессоров.						
27	Лабораторная работа №12 <i>Моделирование триггеров и регистров.</i> Приобретение практических навыков построения и исследования различных типов триггеров и регистров.		2			Методические указания	Защита отчета по лабораторной работе № 12
28	Лекция №16 <i>Тема 6.4. Конвейерный процессор.</i> Конвейерный процессор. Временная диаграмма одноконтного и конвейерного процессоров. Абстрактное представление работающего конвейера. Конвейерный тракт данных - одноконтный и конвейерный тракты данных. Конвейерное устройство управления. Конфликты: конфликты в конвейере, разрешение конфликтов пересылкой через байпас, разрешение конфликтов данных приостановками конвейера, разрешение конфликтов управления. Дополнительные команды. Анализ производительности: CPI конвейерного процессора, сравнение производительности процессоров.	2				Осн. лит.: [1], [2], [3],[4]. Доп. лит.: [1], [2], [3].	*Контрольное тестирование №5
29	Лабораторная работа №13 <i>Моделирование счетчиков импульсов.</i> Изучение структуры и исследование работы суммирующих и вычитающих двоичных счетчиков, а также счетчиков с коэффициентом пересчета, отличным от 2 ⁿ .		2			Методические указания	Защита отчета по лабораторной работе № 13
30	Лекция №17 <i>Тема 6.5. Улучшенные микроархитектуры.</i> Улучшенные микроархитектуры. Длинные конвейеры. Предсказание условных переходов. Суперскалярный процессор: тракт данных суперскалярного процессора, суперскалярный конвейер. Процессор с внеочередным выполнением команд. Внеочередное выполнение команд с переименованием регистров. Одиночный поток команд, множественный поток данных (single instruction multiple data, SIMD). Многопоточность. Симметричные мультипроцессоры. Гетерогенные мультипроцессоры.	2				Осн. лит.: [1], [2], [3],[4]. Доп. лит.: [1], [2], [3].	Блиц-опрос

1	2	3	4	5	6	7	8
31	<p>Лабораторная работа №14</p> <p><i>Моделирование счетчиков импульсов.</i></p> <p>Изучение структуры и исследование работы суммирующих и вычитающих двоичных счетчиков, а также счетчиков с коэффициентом пересчета, отличным от 2ⁿ.</p>		2			Методические указания	Защита отчета по лабораторной работе № 14
32	<p>Лекция №18</p> <p><i>Тема 6.6. Микроархитектура x86.</i></p> <p>Микропроцессор Intel 4004. Эволюция микропроцессоров Intel x86. Микропроцессор 80386. Микропроцессор 80486. Микропроцессор Pentium. Микропроцессоры Pentium Pro, Pentium II и Pentium III. Микропроцессор Pentium 4. Микропроцессор Core Duo. Микропроцессоры Core i3, i5 и i7.</p>	2				Осн. лит.: [1], [2], [3],[4]. Доп. лит.: [1], [2], [3].	Блиц-опрос
	Всего (64 часов)	36	28				

* МЕРОПРИЯТИЯ ТЕКУЩЕГО КОНТРОЛЯ

ИНФОРМАЦИОННО-МЕТОДИЧЕСКАЯ ЧАСТЬ

ЛИТЕРАТУРА

Основная:

1. Ледин, Дж. Современная архитектура и устройство компьютеров: Пер. с англ. – 2-е изд., перераб. и доп. / Дж. Ледин. – СПб.: БХВ-Петербург, 2024. – 656 с.: ил.
2. Нисан, Ноам. Архитектура компьютерных систем. Как собрать современный компьютер по всем правилам / Ноам Нисан, Шимон Шокен ; [перевод с английского О.И. Перфильева]. – Москва : Эксмо, 2023. – 496 с. – (Классика ИТ. Главные книги для программистов).
3. Рябошапко, Б. В. Архитектура ЭВМ с элементами моделирования в LabVIEW : учебное пособие / Б. В. Рябошапко ; Министерство науки и высшего образования Российской Федерации, Южный федеральный университет, Институт высоких технологий и пьезотехники. – Ростов-на-Дону ; Таганрог : Южный федеральный университет, 2019. – 182 с. : ил. – Режим доступа: по подписке. – URL: <https://biblioclub.ru/index.php?page=book&id=561244> (дата обращения: 17.10.2023). – Библиогр. в кн. – ISBN 978-5-9275-2885-1. – Текст : электронный.
4. Таненбаум, Э. Т18 Архитектура компьютера. 6-е изд. / Э. Таненбаум, Т. Остин. – СПб.: Питер, 2021. – 816 с.: ил. – (Серия «Классика computer science»).

Дополнительная:

1. Абламейко, С. В. Краткий курс истории вычислительной техники и информатики : пособие / С. В. Абламейко, И. А. Новик, Н. В. Бровка. – Минск : БГУ, 2014. – 183 с.
2. Буза, М. К. Архитектура компьютеров : учебник / М. К. Буза. – Минск : Вышэйшая школа, 2015. – 414 с. : ил.
3. Диков, А. В. Компьютер изнутри : учебное пособие : [16+] / А. В. Диков. – Москва ; Берлин : Директ-Медиа, 2015. – 127 с. : ил., схем. – Режим доступа: по подписке. – URL: <https://biblioclub.ru/index.php?page=book&id=426937> (дата обращения: 19.10.2024). – Библиогр. в кн. – ISBN 978-5-4475-5530-6. – DOI 10.23681/426937. – Текст : электронный.
4. Коротаев, Н. А. Архитектура компьютеров : учеб.-метод. пособие / Н. А. Коротаев, В. В. Горячкин, В. И. Попечиц. – Минск : БГУ, 2016. – 319 с.
5. Левин, В. И. История информационных технологий : учебный курс : учебное пособие / В. И. Левин. – Москва : Интернет-Университет Информационных Технологий (ИНТУИТ) : Бином. Лаборатория знаний, 2007. – 336 с. – (Основы информационных технологий). – Режим доступа: по подписке. – URL: <https://biblioclub.ru/index.php?page=book&id=233110> (дата обращения: 19.10.2024). – ISBN 978-5-9556-0095-6. – Текст : электронный.

В. И. Цуркова Е. В.

ПЕРЕЧЕНЬ ЛАБОРАТОРНЫХ ЗАНЯТИЙ

Лабораторная работа №1. Центральные и внешние устройства ПК.

Изучение функционального взаимодействия центральных и внешних устройств компьютера и их характеристик.

Лабораторная работа №2. Системы счисления.

Повторить и закрепить знания по способам представления чисел в позиционных системах счисления, переводу чисел из десятичной системы счисления в любую другую и обратно.

Лабораторная работа №3. Машинные коды.

Изучить основы машинной арифметики, представления чисел в прямом, обратном и дополнительном кодах и арифметических операций над ними.

Лабораторная работа №4. Построение логических схем.

Освоить алгоритм построения таблиц истинности для логических функций; научиться определять и анализировать функции проводимости переключательных схем.

Лабораторная работа №5. Знакомство со средой моделирования электронных схем Electronics Workbench.

Знакомство со средой и изучение основных возможностей и правил работы в программе Electronics Workbench.

Лабораторная работа №6. Знакомство со средой моделирования электронных схем Electronics Workbench.

Знакомство со средой и изучение основных возможностей и правил работы в программе Electronics Workbench.

Лабораторная работа №7. Моделирование простейших логических схем.

Моделирование логических функций при помощи логических элементов в среде моделирования электронных схем Electronics Workbench.

Лабораторная работа №8. Моделирование простейших логических схем.

Моделирование логических функций при помощи логических элементов в среде моделирования электронных схем Electronics Workbench.

Лабораторная работа №9. Моделирование комбинационных устройств.

Изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.

Лабораторная работа №10. Моделирование комбинационных устройств.

Изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.

Лабораторная работа №11. Моделирование триггеров и регистров.

Приобретение практических навыков построения и исследования различных типов триггеров и регистров.

Лабораторная работа №12. Моделирование триггеров и регистров.

Приобретение практических навыков построения и исследования различных типов триггеров и регистров.

Лабораторная работа №13. Моделирование счетчиков импульсов.

Изучение структуры и исследование работы суммирующих и вычитающих двоичных счетчиков, а также счетчиков с коэффициентом пересчета, отличным от 2^n .

Лабораторная работа №14. Моделирование счетчиков импульсов.

Изучение структуры и исследование работы суммирующих и вычитающих двоичных счетчиков, а также счетчиков с коэффициентом пересчета, отличным от 2^n .

ПЕРЕЧЕНЬ ТЕМ РЕФЕРАТОВ

1. История развития вычислительной техники.
2. Изобретения под руководством МЭСМ С.А. Лебедева.
3. Алан Тьюринг и его концепция абстрактной вычислительной машины.
4. Эволюция вычислительных систем.
5. Процесс и особенности обработки информации в ЭВМ.
6. 1835-1900-е: первые программируемые машины.
7. Изобретение командой инженеров IBM во главе с Аланом Шугартом «гибкого диска», позволяющего обмениваться данными между различными компьютерами.
8. Intel 1103, первый чип памяти динамического доступа.
9. Первый разработанный Грейс Хоппером компьютерный язык, известный как COBOL.
10. «Acorn» — первый персональный компьютер IBM.
11. Пионеры советской кибернетики.

ПЕРЕЧЕНЬ ВОПРОСОВ ДЛЯ ПРОВЕДЕНИЯ ЭКЗАМЕНА

1. Какое состояние имеет выход 7 трёхходового дешифратора с инверсными выходами, если состояние его входов равно 101?
2. Какое состояние имеет выход 5 трёхходового дешифратора, если состояние его входов равно 101?
3. Какое состояние имеют входы четырёхходового шифратора, если состояние его выходов равно 11?
4. При каком значении синхросигнала переключается динамический триггер?
5. Какое состояние имеет выход 6 трёхходового дешифратора, если состояние его входов равно 101?
6. Какое состояние имеет трёхразрядный суммирующий счётчик, предварительно сброшенный в 11 0", после поступления на его счётный вход 10-ти сигналов?
7. Какое состояние имеет четырёхразрядный суммирующий счётчик, предварительно сброшенный в «0», после поступления на его счётный вход 10-ти сигналов?
8. Какое состояние имеет четырёхразрядный суммирующий счётчик, предварительно сброшенный в 11 0", после поступления на его счётный вход 20-ти сигналов?
9. Какой счётчик называется реверсивным?
10. Какие функции может выполнять регистр сдвига?
11. Из каких основных устройств состоит ЭВМ?
12. Откуда в арифметико-логическое устройство поступают управляющие сигналы?
13. На какие типы делятся устройства управления?
14. Какое из понятий соответствует действию, выполняемому одним управляющим сигналом за один такт?
15. Как называется совокупность микроопераций, выполняемых в одном такте?
16. Как называется совокупность микрокоманд, предназначенная для выполнения некоторой функционально законченной последовательности действий?
17. Какие преимущества имеет микропрограммное устройство управления по сравнению с устройством управления схемного типа?
18. Чем определяется количество управляющих сигналов, вырабатываемых устройством управления?
19. Каково назначение устройства управления в ЭВМ?
20. Какая информация используется при работе устройства управления?
21. От чего зависит разрядность памяти микропрограмм микропрограммного устройства управления?
22. Какова минимальная адресуемая ячейка памяти в современных ЭВМ?
23. Какие основные параметры характеризуют запоминающее устройство?
24. Чем определяется быстродействие запоминающего устройства при считывании информации?
25. Чем определяется быстродействие запоминающего устройства при записи информации?
26. Чем определяется ёмкость памяти?
27. В запоминающем устройстве какого типа время доступа не зависит от места расположения участка памяти?
28. Сколько БИС с организацией ЛК слов по 1 разряд потребуется для построения ЗУ с организацией 4К слов по 4 разряда?
29. Сколько БИС с организацией 1К слов по 8 разрядов потребуется для построения ЗУ с организацией 16К слов по 16 разрядов?

30. Какое из представленных запоминающих устройств в составе одной ЭВМ обладает наиболее высоким быстродействием?
31. Какое из запоминающих устройств в составе одной ЭВМ обладает наибольшей ёмкостью?
32. Чем определяется время обращения к регистровой памяти?
33. Чем характеризуется идеальное запоминающее устройство?
34. Сколько БИС с организацией 8К слов по 16 разрядов потребуется для построения ЗУ с организацией 1 К слов по 32 разряда?
35. Какую длину может иметь непосредственный операнд в 16-разрядном микропроцессоре?
36. Какой из сегментных регистров используется по умолчанию при формировании физического адреса операндов, находящихся в оперативной памяти, при режимах адресации, использующих для формирования эффективного адреса регистр ВР?
37. Какие регистры можно использовать при базово-индексной адресации в 16-разрядном микропроцессоре?
38. Какова разрядность физического адреса 16-разрядного микропроцессора?
39. Значения каких регистров изменяются при выполнении команд условных переходов?
40. Значения какого регистра изменяются при выполнении команд внутрисегментных безусловных переходов?
41. Какие из режимов адресации не используются в системе команд?
42. Значения каких регистров изменяются при выполнении команд межсегментных переходов?
43. Какую длину имеет непосредственный операнд в 16-разрядном микропроцессоре при значении признака $w=1$?
44. Какова максимальная длина команды 16-разрядного микропроцессора?
45. Какова разрядность эффективного адреса 16-разрядного микропроцессора?
46. Каково назначение признака s в командах, использующих непосредственный операнд?
47. Представьте следующую команду в машинном виде минимальной длины (при ответе на этот вопрос можно пользоваться таблицами кодирования команд и режимов адресации): ADD CL, 12h
48. Представьте следующую команду в машинном виде минимальной длины (при ответе на этот вопрос можно пользоваться таблицами кодирования команд и режимов адресации): ADD AL, 25h
49. Определить смещение, которое должно быть указано в команде КОРОТКОГО внутрисегментного перехода, расположенной по адресу $(1P)=243CH$ и осуществляющей переход на команду по адресу 24C3h.
50. Почему арифметические команды формата «память-регистр» выполняются дольше, чем команды формата «регистр-память» при одинаковом режиме адресации памяти?
51. От чего зависит время выполнения команд умножения?
52. В каком случае команда условного перехода выполняется дольше?
53. От чего зависит время выполнения арифметической команды?
54. Почему команда условного перехода выполняется дольше при выполнении условия перехода, чем при невыполнении?
55. Как зависит время считывания операнда-слова от его месторасположения в оперативной памяти?
56. Для сокращения времени выполнения программы, имеющей циклические участки, требуется
57. Почему считывание из памяти операнда-слова, не выровненного по границе слова, занимает больше времени, чем выровненного операнда?

58. С каким этапом совмещается этап формирования адреса следующей команды?
59. На каком этапе происходит выполнение операции в АЛУ?
60. На каком этапе происходит запись результата операции по адресу приёмника результата?
61. Содержимое каких регистров меняется при формировании адреса следующей команды в персональной ЭВМ при отсутствии команд перехода?
62. Почему при формировании физического адреса содержимое сегментного регистра умножается на 16?
63. Сколько сегментных регистров содержит микропроцессор с архитектурой А-32?
64. Какова разрядность сегментных регистров в 32-разрядном микропроцессоре?
65. Какие дополнительные возможности адресации операндов имеются в системе команд 32-разрядных микропроцессоров по сравнению с 16-разрядными?
66. Содержимое каких регистров меняется при формировании адреса следующей команды в персональной ЭВМ при отсутствии команд перехода?
67. Какие действия выполняются в ЭВМ на 4-м этапе выполнения линейной команды?
68. Какие из блоков, входящих в состав 32-разрядного микропроцессора, отсутствовали в структуре 16-разрядного микропроцессора?
69. Из каких блоков состоит диспетчер памяти 32-разрядного микропроцессора? *
70. Сколько сегментных регистров имеется в микропроцессоре с архитектурой 1А-32?
71. Какие преимущества обеспечивает конвейерный принцип обработки информации (при идеальном конвейере)?
72. Какими средствами при конвейерной обработке информации обеспечивается повышение производительности работы микропроцессора?
73. Чем определяется длительность такта работы микропроцессора при конвейерной обработке информации?
74. Что характерно для мультипрограммного режима работы ЭВМ?
75. Чем отличается состояние готовности процесса от состояния ожидания?
76. Что характеризует коэффициент мультипрограммирования мультипрограммной ЭВМ?
77. Каким образом можно обеспечить повышение пропускной способности мультипрограммной ЭВМ в случае, когда к одному из ресурсов образуется большая очередь?
78. Как в общем случае изменяется время выполнения программы при увеличении коэффициента мультипрограммирования?
79. Как в общем случае изменяется время выполнения пакета программ при увеличении коэффициента мультипрограммирования?
80. В каких случаях статическое распределение ресурсов предпочтительнее динамического?
81. Чем характеризуется мультипрограммный режим работы ЭВМ?
82. В каком случае увеличение коэффициента мультипрограммирования увеличивает пропускную способность ЭВМ?
83. Как изменит повышение приоритета одной из программ пропускную способность мультипрограммной ЭВМ?
84. Какие характеристики ресурса порождают КОНФЛИКТЫ?
85. Какие характеристики соответствуют виртуальному ресурсу?
86. Укажите основные режимы работы мультипрограммной ЭВМ.
87. Какие из дисциплин распределения ресурсов относятся к многоочередным?
88. Укажите основные одноочередные дисциплины распределения ресурсов.

89. В какой из одноочередных дисциплин распределения ресурсов время нахождения в очереди длинных и коротких запросов зависит только от момента их поступления?
90. Какая из модификаций многоочередной дисциплины распределения ресурсов предназначена для того, чтобы устранить недопустимо большое время выполнения длинных запросов?
91. Какой из режимов работы мультипрограммной ЭВМ используется в системах управления?
92. Какой из режимов работы ориентирован на обеспечение максимальной пропускной способности мультипрограммной ЭВМ?
93. Какие недостатки имеет существенное сокращение длительности кванта времени, выделяемого программе на владение ресурсом?
94. Для каких программ эффективен пакетный режим работы мультипрограммной ЭВМ?
95. Какой основной показатель используется при оценке эффективности ЭВМ, работающей в режиме реального времени?
96. Какой основной показатель используется при оценке эффективности ЭВМ, работающей в пакетном режиме?
97. Что такое «тип прерывания»?
98. Что такое «вектор прерывания»?
99. Какая часть программного обеспечения всегда располагается в оперативной памяти?
100. Какой принцип логической организации памяти используется в персональной ЭВМ?

ОРГАНИЗАЦИЯ САМОСТОЯТЕЛЬНОЙ РАБОТЫ СТУДЕНТОВ

Обучение дисциплине «Архитектура компьютеров» предполагает реализацию следующих форм самостоятельной работы студентов:

- проработка конспекта лекций и учебной литературы;
- изучение печатных источников по теме дисциплины;
- изучение профессиональных электронных ресурсов по теме дисциплины;
- изучение вопросов для самоконтроля;
- выполнение практических упражнений (работа с тренажерами) для закрепления знаний и навыков;
- решение во внеурочное время контрольных задач, получаемых на лекциях;
- углублённое изучение отдельных тем учебной дисциплины для подготовки к устным опросам;
- изучение основной и дополнительной и научной литературы в процессе подготовки к анализу и решению проблемных задач, реализации элементов исследовательской деятельности;
- подготовка к текущей диагностике компетенции (письменным контрольным работам);
- систематизация полученных знаний при подготовке к экзамену.

Условия для самостоятельной работы студентов, в частности, для развития навыков самоконтроля, способствующих интенсификации образовательного процесса, обеспечиваются:

- наличием и использованием в образовательном процессе открытых систем автоматизированного тестирования при использовании бесплатного сервиса для учебных заведений, некоммерческих организаций и пользователей личных аккаунтов Google – Google Класс, которые доступны пользователям через Интернет в любое удобное для них время;
- наличием и полной доступностью электронных вариантов курса лекций и учебно-методических указаний по основным разделам дисциплины на <https://moodle.psu.by> – образовательном портале Полоцкого государственного университета имени Евфросинии Полоцкой.

Содержание самостоятельной работы студентов

(дневная форма получения высшего образования)

Вид самостоятельной работы	Тематическое содержание и используемые источники	Количество часов
1	2	3
Самостоятельное изучение отдельных вопросов по темам дисциплины	<p><i>Тема 1.3. Логические элементы.</i></p> <p>Логический элемент НЕ, буфер, логический элемент И, логический элемент ИЛИ, другие логические элементы с двумя входными сигналами, логические элементы с количеством входов больше двух.</p> <p>Осн. лит.: [1], [2], [3], [4]. Доп. лит.: [1], [2], [3].</p>	2
	<p><i>Тема 2.3. Проектирование логических элементов.</i></p> <p>Многоуровневая комбинационная логика: минимизация аппаратных затрат, перемещение инверсии.</p> <p>Осн. лит.: [1], [2], [3], [4]. Доп. лит.: [1], [2], [3].</p>	2
	<p><i>Тема 5.3. Машинный язык.</i></p> <p>Трансляция машинных кодов на язык ассемблера. Хранимая программа.</p> <p>Осн. лит.: [1], [2], [3], [4]. Доп. лит.: [1], [2], [3], [4], [5].</p>	2
	<p><i>Тема 6.2. Однотактный процессор.</i></p> <p>Однотактное устройство управления: внутренняя структура устройства управления, таблица истинности дешифратора АЛУ и основного дешифратора. Функционирование однотактного процессора. Дополнительные команды.</p> <p>Осн. лит.: [1], [2], [3], [4]. Доп. лит.: [1], [2], [3], [4], [5].</p>	2
	<p><i>Тема 6.3. Многотактный процессор.</i></p> <p>Многотактное устройство управления. Законченный многотактный процессор MIPS. Этапы чтения данных из памяти. Этап записи в память данных. Дополнительные команды. Анализ производительности: CPI многотактного процессора, сравнение производительности процессоров.</p> <p>Осн. лит.: [1], [2], [3], [4]. Доп. лит.: [1], [2], [3], [4], [5].</p>	2
Подготовка к защите отчетов по лабораторным работам	<p><i>Лабораторная работа №1. Центральные и внешние устройства ПК.</i></p> <p>Изучение функционального взаимодействия центральных и внешних устройств компьютера и их характеристик.</p>	2
	<p><i>Лабораторная работа №2. Системы счисления.</i></p> <p>Повторить и закрепить знания по способам представления чисел в позиционных системах счисления, переводу чисел из десятичной системы счисления в любую другую и обратно.</p>	2
	<p><i>Лабораторная работа №3. Машинные коды.</i></p> <p>Изучить основы машинной арифметики, представления чисел в прямом, обратном и дополнительном кодах и арифметических операций над ними.</p>	2

1	2	3
	<p>Лабораторная работа №4. Построение логических схем.</p> <p>Освоить алгоритм построения таблиц истинности для логических функций; научиться определять и анализировать функции проводимости переключательных схем.</p>	2
	<p>Лабораторная работа №5, №6 Знакомство со средой моделирования электронных схем Electronics Workbench.</p> <p>Знакомство со средой и изучение основных возможностей и правил работы в программе Electronics Workbench.</p>	2
	<p>Лабораторная работа №7, №8. Моделирование простейших логических схем.</p> <p>Моделирование логических функций при помощи логических элементов в среде моделирования электронных схем Electronics Workbench.</p>	2
	<p>Лабораторная работа №9, №10. Моделирование комбинационных устройств.</p> <p>Изучение форм представления чисел в цифровых устройствах и исследование схем комбинационных цифровых устройств – дешифраторов, мультиплексоров и сумматоров.</p>	2
	<p>Лабораторная работа №11, №12. Моделирование триггеров и регистров.</p> <p>Приобретение практических навыков построения и исследования различных типов триггеров и регистров.</p>	2
	<p>Лабораторная работа №13, №14 Моделирование счетчиков импульсов.</p> <p>Изучение структуры и исследование работы суммирующих и вычитающих двоичных счетчиков, а также счетчиков с коэффициентом пересчета, отличным от 2ⁿ.</p>	2
Подготовка реферативного выступления		6
Систематизация полученных знаний при подготовке к экзамену		10
	ИТОГО:	44

КОНТРОЛЬ КАЧЕСТВА УСВОЕНИЯ ЗНАНИЙ

Учебном плане специальности в качестве формы промежуточной аттестации по учебной дисциплине «Архитектура компьютеров» предусмотрен экзамен. Оценка учебных достижений студента производится по десятибалльной шкале.

Диагностика качества усвоения знаний проводится в соответствии с Положением о рейтинговой системе оценки знаний и компетенций студентов (приказ ректора УО ПГУ № 294 от 06.06.2014 (в редакции, утверждённой приказом № 605 от 17.11.2014) (далее – Положение) в форме текущего контроля и промежуточной аттестации.

Для оценивания самостоятельной и аудиторной работы студентов в рамках учебной дисциплины для контроля успеваемости используется накопительная система, которая предполагает суммирование отметок, выставляемых в электронный журнал за все виды работ в течение прохождения для определения среднеарифметических показателей успеваемости.

Мероприятия текущего контроля проводятся в течение семестра и включают в себя следующие формы контроля:

- устная форма (блиц-опрос на лекциях, реферативные выступления);
- письменная форма (тесты, контрольные опросы, контрольные работы, письменные отчеты по лабораторным работам, рефераты, письменный экзамен);
- устно-письменная форма (отчёты по лабораторным работам с их устной защитой);
- техническая форма (электронные тесты, визуальные лабораторные работы).

Лабораторные работы предполагают выполнение и защиту. При выполнении лабораторных работ выдаётся индивидуальное задание. Отчёт по лабораторной работе представляется в электронном виде. Содержание отчёта: название работы, вариант задания, анализ задания, ход выполнения работы, основные и промежуточные результаты, выводы по работе. Защита работ проводится индивидуально и оценивается в соответствии установленными правилами.

Результат текущего контроля за семестр оценивается отметкой в баллах по десятибалльной шкале и выводится, исходя из отметок, выставленных в ходе проведения мероприятий текущего контроля в течение семестра по следующей формуле:

$$T = \frac{(KT_1 + \dots + KT_n) + (LP_1 + \dots + LP_{14}) + (KP_1) + (KP_2)}{(16 + n)},$$

где $KT_1 + \dots + KT_n$ – отметки, выставленные по результатам контрольного тестирования;

$LP_1 + \dots + LP_{14}$ – отметки, выставленные по результатам защит лабораторных работ;

n – количество тестов;

KP_1, KP_2 – отметки, выставленные по результатам контрольных работ.

Результат текущего контроля рассчитывается как округлённое среднее значение. Результат может быть увеличен в соответствии с п.п. 6.8 и 6.9 Положения.

В таблице 2 представлены составляющие, формирующие отметку текущего контроля T по дисциплине.

Таблица 2 – Составляющие отметки текущего контроля Т по дисциплине

Мероприятия текущего контроля	Содержание мероприятий текущего контроля – название раздела (темы)	Задания мероприятия текущего контроля	Отметка мероприятий текущего контроля (КР), (КТ), (ЛР)
Контрольная работа №1	<p><i>Тема 4.1. Сложные комбинационные и последовательностные функциональные узлы.</i></p> <p>Арифметические схемы: сложение (полусумматор, полный сумматор, сумматор с распространяющимся переносом, сумматоры с последовательным переносом, сумматоры с ускоренным переносом, префиксный сумматор), вычитание, компараторы, арифметико-логическое устройство (АЛУ), схемы сдвига и циклического сдвига, умножение, деление.</p> <p><i>Тема 4.2. Представление чисел.</i></p> <p>Числа с фиксированной запятой, числа с плавающей запятой, (представление таких чисел, как 0, бесконечность и недопустимое значение, форматы с одинарной и двойной точностью, округление, сложение чисел с плавающей запятой).</p>	Предлагается ответить на два вопроса	Максимальная отметка 10 (десять) баллов
Контрольная работа №2	<p><i>Тема 6.2. Однотактный процессор.</i></p> <p>Однотактный тракт данных: выборка команды из памяти, чтение операнда из регистрового файла, знаковое расширение непосредственного операнда, вычисление адреса данных в памяти, запись в регистровый файл, определение адреса следующей команды, запись командой sw данных в память, изменения в тракте данных для поддержки команд типа R, изменения в тракте данных для поддержки команды beq. Однотактное устройство управления: внутренняя структура устройства управления, таблица истинности дешифратора АЛУ и основного дешифратора. Функционирование однотактного процессора. Дополнительные команды. Анализ производительности. Производительность однотактного процессора.</p>	Предлагается ответить на два вопроса	Максимальная отметка 10 (десять) баллов
Контрольный тест	Темы и планируемые контрольные тесты указаны в учебно-методической карте дисциплины	Тест ориентирован на прохождение в online-режиме и оформлен в https://moodle.psu.by	Максимальная отметка 10 (десять) баллов

Экзамен проводится согласно Положению.

Итоговая экзаменационная отметка (ИЭ) учитывает отметку по результатам текущего контроля (Т) и экзаменационную отметку (Э). Весовой коэффициент к принимается равным 0,5. Информация о весовом коэффициенте доводится до студентов на первом занятии в семестре. Составляющие для формирования итоговой отметки по дисциплине и их весовые коэффициенты представлены в таблице 1.

Таблица 1 – Составляющие итоговой отметки по дисциплине

Составляющие (ИЭ)	k	Т	$1-k$	Э
	0,5	Представлены в таблице 2	0,5	*

*Отметка, полученная студентом на экзамене по результатам прохождения контрольного теста.

Итоговая отметка по дисциплине определяется по формуле:

$$\text{ИЭ} = 0,5\text{Т} + 0,5\text{Э}.$$

Положительной является отметка не ниже 4 баллов.

ХАРАКТЕРИСТИКА ИННОВАЦИОННЫХ ПОДХОДОВ К ПРЕПОДАВАНИЮ УЧЕБНОЙ ДИСЦИПЛИНЫ

Основные методы (технологии) обучения, отвечающие целям и задачам учебной дисциплины:

- проблемное обучение (проблемное изложение, вариативное изложение), реализуемое на лекционных занятиях;
- учебно-исследовательская деятельность.

Используемые технологии обучения и диагностики компетенций в преподавании дисциплины «Архитектура компьютеров» реализуют подход, основанный на максимально возможном использовании внутренней и учебной мотивации студента, проявляющейся в чётком понимании им значимости всех видов выполняемых работ, как с точки зрения важности для профессиональной подготовки, так и с точки зрения оценивания. Подход предполагает использование элементов проблемного обучения и элементов исследовательской деятельности студентов в процессе аудиторной работы, а также при выполнении самостоятельных работ при постоянном рейтинговом контроле.

На лекционных занятиях по дисциплине «Архитектура компьютеров» возможно использование элементов проблемного обучения: проблемное изложение некоторых аспектов, использование частично-поискового метода.

Изучение учебной дисциплины осуществляется на лекционных занятиях, на которых студенты овладевают системой теоретических знаний архитектуры компьютера и взаимодействия его основных устройств, формируют системное понимание логической организации, структуре и ресурсов, т. е. средств вычислительной системы, которые могут быть выделены процессу обработки данных на определенный интервал времени. На лабораторных занятиях, развиваются и формируются необходимые практические умения и навыки логической организации данных, взаимодействия программных и аппаратных компонентов.

В ходе лекционного изложения теоретических сведений используются традиционные словесные приёмы и методы, которые активизируются постановкой проблемных вопросов и заданий, организацией учебных дискуссий с опорой на имеющуюся начальную подготовку студентов и их политехнический кругозор, использованием интерактивных методов обучения.

Во время проведения лабораторных работ особое внимание уделяется формированию у студентов умения планировать свою работу и определять эффективную последовательность её выполнения.

ПРОТОКОЛ СОГЛАСОВАНИЯ УЧЕБНОЙ ПРОГРАММЫ С ДРУГИМИ УЧЕБНЫМИ ДИСЦИПЛИНАМИ СПЕЦИАЛЬНОСТИ

Название дисциплины, по которой требуется согласование	Название кафедры	Предложения об изменениях в содержании учебной программы по изучаемой учебной дисциплине	Решение, принятое кафедрой, разработавшей учебную программу
Программно-аппаратные и технические средства защиты информации	Кафедра математики и компьютерной безопасности	<i>Замечаний и предложений нет</i>	
Методы и стандарты оценки защищенности компьютерных систем	Кафедра математики и компьютерной безопасности	<i>Замечаний и предложений нет</i>	
Системы обеспечения комплексной безопасности	Кафедра математики и компьютерной безопасности	<i>Замечаний и предложений нет</i>	

Заведующий кафедрой математики и компьютерной безопасности, к.т.н., доцент



И.Б. Бураченко

**ПРОТОКОЛ СОГЛАСОВАНИЯ УЧЕБНОЙ ПРОГРАММЫ
С ДРУГИМИ УЧЕБНЫМИ ДИСЦИПЛИНАМИ СПЕЦИАЛЬНОСТИ**

Название дисциплины, по которой требуется согласование	Название кафедры	Предложения об изменениях в содержании учебной программы по изучаемой учебной дисциплине	Решение, принятое кафедрой, разработавшей учебную программу
«Защита информации в операционных системах и компьютерных сетях»	Вычислительных систем и сетей	<i>Предложения нет</i>	

Заведующий кафедрой вычислительных систем и
сетей, д.т.н., доцент



Р. П. Богуш

РЕЦЕНЗИЯ
на учебную программу учреждения высшего образования
по учебной дисциплине «Архитектура компьютеров»
для специальности 6-05-0533-12 «Кибербезопасность»,
подготовленную к.т.н., доцентом Бураченко И.Б.

Разработанная рабочая программа составлена на основе учебного плана специальности 6-05-0533-12 «Кибербезопасность» дневной очной формы получения высшего образования. Программа оформлена в соответствии с предъявляемым к высшей школе требованиями. В пояснительной записке отражены основные цели и задачи, указаны требования к уровню освоения и содержание учебной дисциплины, а также набор компетенций, соответствующих присваиваемой по завершению высшего образования квалификации «специалист по кибербезопасности», обеспечивающих выпускникам по указанной специальности успешность применения полученных знаний и умений в результате изучения дисциплины «Архитектура компьютеров» в дальнейшей профессиональной деятельности. Также в программе представлен тематический план, теоретические сведения, основные знания и умения по темам, перечень лабораторных работ, сведения о самостоятельной работе студентов, литературные источники. Программа предполагает использование доступностью электронных вариантов курса лекций, учебно-методических указаний и контрольного тестирования по основным разделам дисциплины на <https://moodle.psu.by> – образовательном портале Полоцкого государственного университета имени Евфросинии Полоцкой (или бесплатного сервиса для учебных заведений, некоммерческих организаций и пользователей личных аккаунтов Google – Google Класс), которые доступны пользователям через Интернет в любое удобное для них время.

В рабочей программе реализованы дидактические принципы обучения: целостность, структурность, учтены метапредметные связи, особенности обучения по специальности 6-05-0533-12 «Кибербезопасность». Структура программы логична. Сначала разбираются теоретические вопросы тем дисциплины, а затем полученные знания закрепляются на лабораторных

РЕЦЕНЗИЯ
на учебную программу учреждения высшего образования
по учебной дисциплине «Архитектура компьютеров»
для специальности 6-05-0533-12 «Кибербезопасность»,
подготовленную к.т.н., доцентом Бураченко И.Б.

Разработанная программа составлена на основе учебного плана специальности специальности 6-05-0533-12 «Кибербезопасность» дневной очной формы получения высшего образования и полностью соответствует современным требованиям, предъявляемым к высшей школе. В программе достаточно четко и подробно сформулированы цели и задачи дисциплины, требования к знаниям студентов и практические навыки, которые необходимо дать студентам при изучении данной дисциплины.

Разработанная программа реализует подход, основанный на максимально возможном использовании внутренней и учебной мотивации студента, проявляющейся в чётком понимании им значимости всех видов выполняемых работ, и их важности для профессиональной подготовки.

Программой предусмотрено закрепление знаний, полученных на лекционных занятиях с использованием проблемного обучения. Содержание дисциплины предусматривает знакомство студентов с основными схемотехническими элементами электронно-вычислительных машин: логических элементов, триггерных схем, регистров, счетчиков и т.д., а также с организацией и принципами работы запоминающих устройств, устройств управления, арифметико-логических устройств и пр.

Все материалы по учебной дисциплине размещены на образовательном портале Полоцкого государственного университета имени Евфросинии Полоцкой по адресу <https://moodle.psu.by>.

Дисциплина разбита на 6 модулей, равноценных по объему и логически связанных по содержанию и рассчитана на 108 часов из которых 44 часа самостоятельной работы. Темы лекций достаточно подробно расшифрованы с полным отображением их содержания. Лабораторные занятия увязаны с лекционным материалом и вытекают из его содержания. Большая часть лабораторных занятий связана с изучением логические схемы с использованием